

طراحی و بهینه سازی یک تقویت کننده گسترده CMOS با در نظر گرفتن عناصر

پارازیتیک بوسیله الگوریتم ژنتیک چند هدفه

محمد میمندی نژاد
استادیار گروه مهندسی برق
دانشگاه فردوسی مشهد
maymandi@um.ac.ir

خلیل مافی نژاد
دانشیار گروه مهندسی برق
دانشگاه فردوسی مشهد
kh_mafi@yahoo.com

عباس گلمکانی
مریی گروه مهندسی برق
موسسه آموزش عالی سجاد مشهد
Abbas_golmakani@yahoo.com

چکیده: در این مقاله یک تقویت کننده گسترده CMOS کاملاً مجتمع برای کاربردهای ارتباطات بیسیم و گیرنده های اپتیکی پهن باند طراحی و بهینه سازی خواهد شد. این تقویت کننده چهار طبقه با ترکیب Cascode می باشد. مساله مهم در طراحی مدارهای مجتمع RF در تکنولوژی CMOS توجه به عناصر پارازیتیک ترانزیستور و سلفهای مجتمع آن می باشد و این مساله محاسبات دستی طراحی را پیچیده می کند. در این مقاله پس از انتخاب پیکربندی مدار توسط کاربر مقادیر اجزاء مدار شامل ابعاد ترانزیستورها، ولتاژهای بایاس، تعداد دورها و قطر سیم پیچ سلف های مدار توسط الگوریتم بهینه سازی پیشنهاد شده و مقادیر پهنای باند، بهره، توان مصرفی، مساحت تراشه و مقادیر S11 و S22 توسط این الگوریتم بهینه می شود. یک ویژگی مهم این مقاله استفاده از مدلهای دقیق عناصر در شبیه سازی و بدست آوردن جوابی است که به واقعیت بسیار نزدیک است. الگوریتم بهینه سازی بکار گرفته شده الگوریتم ژنتیک چند هدفه مبتنی بر جبهه پارتو توزیع شده می باشد که برای بهینه سازی مدارهای RF تهیه شده است. برنامه های الگوریتم با Matlab نوشته شده است و شبیه سازی مدار بوسیله HspiceRF با تکنولوژی CMOS 0.18um صورت گرفته است.

کلید واژه: تقویت کننده گسترده، الگوریتم ژنتیک چند هدفه، بهینه سازی، سلف مجتمع، Pareto Front، RF CAD tools.

1- مقدمه

مجتمع بر روی یک تراشه (SoC³) کرده است [2]. لذا از تکنولوژی CMOS بجای تراشه های MMIC⁴، GaAs یا تکنولوژی دو قطبی SiGe بیشتر استفاده می شود که هم قیمت تمام شده آن کمتر بوده و هم امکان مجتمع سازی را خواهد داشت. تکنولوژی های CMOS زیرمیکرون جدید با ترانزیستور هایی با فرکانس قطع بیش از 100GHz امکان پیاده سازی مدارهای RF فرکانس بالا را فراهم کرده اند. بعلاوه افزایش تعداد لایه های فلزی برای اتصالات در تکنولوژی های جدید CMOS امکان پیاده سازی عناصر مجتمع غیرفعال از قبیل سلفها، خطوط انتقال و خازنهای خطی با ضریب کیفیت مناسب را بوجود آورده است [3]. یک مشکل پیاده سازی تقویت کننده های گسترده پهن باند در CMOS به مشکل مخرب تزویج بدنه مربوط می شود. مخصوصاً در پروسه CMOS دیجیتال جدید، میزان ناخالصی بالای بدنه و مقاومت کم آن، موجب تلفات بالایی در سلفهای مجتمع در فرکانسهای بالای چند گیگا هرتز می شود. مشکلات دیگر در پیاده سازی این تقویت کننده ها

تقویت کننده های گسترده (DA¹)، کاربردهای متنوعی در سیستمهای رادار، ارتباطات نوری، مخابرات ماهواره ای، ارتباطات بیسیم و تجهیزات تست شبکه دارد. تقویت کننده های گسترده معمولاً بعنوان یک تقویت کننده پهن باند مناسب در مخابرات نوری استفاده می شوند و چون دارای بهره ثابتی در محدوده پهنای باند وسیع خود هستند، از پراکندگی سیگنال دریافتی جلوگیری می کند. همچنین در ارتباطات بیسیم پهن باند (UWB²)، به تقویت سیگنال در محدوده فرکانسی 3.1GHz تا 10.6GHz نیاز می باشد که یک انتخاب مناسب برای پیاده سازی آن با توجه به پهنای باند وسیع آن تقویت کننده های گسترده می باشد.

DA های اولیه با استفاده از لامپهای خلاء و MESFET های GaAs سرعت بالا ساخته شدند [1]. در سالهای اخیر توسعه تکنولوژی VLSI ما را قادر به ساخت قسمت های آنالوگ و دیجیتال یک فرستنده و گیرنده ارتباطی پهن باند بصورت

³ System On a Chip

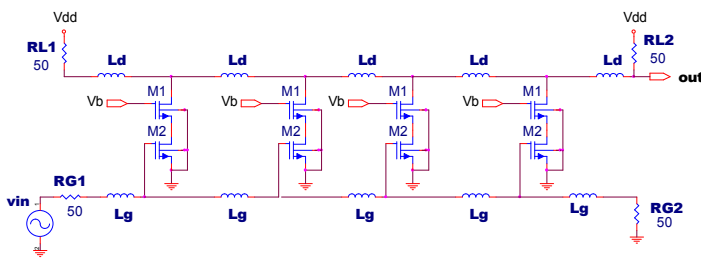
⁴ Monolithic Microwave Integrated Circuits

¹ Distributed Amplifiers

² Ultra Wide Band

شکل ۱: ساختار شماتیک a- تقویت کننده گسترده b- پیاده سازی با عناصر فشرده [4]

ترانزیستورها نقش خازنهای خط انتقال را خواهند داشت [4] (شکل ۱- b). در این ساختار اثر محدود کننده پهنای باند خازنهای داخلی ترانزیستور حذف شده لذا پهنای باند وسیعی خواهیم داشت ولی چون بهره بصورت جمع بهره طبقات موازی می باشد، بهره کمتری خواهیم داشت. در این مقاله از ترکیب Cascode برای ترانزیستورها استفاده شده است که مزیت آن نسبت به ترکیب سورس مشترک کم شدن اثر خازن C_{gd} است چون در ترکیب سورس مشترک با توجه به اثر میلر این خازن در بهره طبقه ضرب شده و در گیت ظاهر می شود و پهنای باند را محدود می کند [10]. مزیت دیگر ترکیب Cascode اینست که خطوط انتقال درین و گیت از هم مجزا شده و هر خط را با تنظیم ابعاد ترانزیستورهای M1 و M2 بصورت مستقل از دیگری می



توان طراحی کرد.

شکل ۲: تقویت کننده گسترده مورد استفاده در این مقاله

در طراحی مدار شکل ۲، توجه به این نکات ضروریست. هر چه ابعاد ترانزیستور M2 بزرگتر باشد بهره بیشتر ولی پهنای باند کمتر می شود. ولتاژ بایاس ورودی جریان ترانزیستورها را مشخص می کند که هر چه جریان بیشتر باشد بهره افزایش می یابد ولی از طرف دیگر توان مصرفی و سوینگ ولتاژ خروجی بدتر می شود. ولتاژ بایاس ترانزیستور M1 بایستی طوری انتخاب شود که ترانزیستورها در ناحیه فعال باشند و مقادیر سلف ها به شکلی بدست می آید که امپدانس مشخصه خطوط انتقال درین و گیت ۵۰ اهم شود:

$$Z_0 = \sqrt{\frac{L_d}{C_{dot1}}} = \sqrt{\frac{L_g}{C_{dot2}}} = 50 \quad (1)$$

مقادیر C_{dot1} و C_{dot2} با یک مرحله شبیه سازی در نقاط کار بدست آمده و مقادیر L_d و L_g محاسبه می شوند. پهنای باند مدار بوسیله پهنای باند خطوط انتقال درین و گیت محدود می شود و داریم [5]:

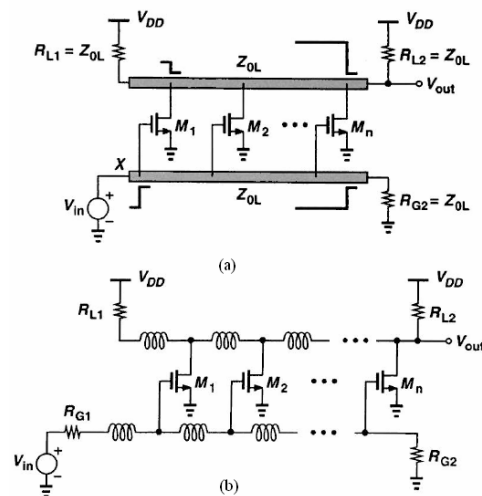
$$BW_{max} \leq \min\left(\sqrt{\frac{1}{L_g C_g}}, \sqrt{\frac{1}{L_d C_d}}\right) \quad (2)$$

سطح زیاد مورد نیاز برای پیاده سازی سلفها و همچنین توان مصرفی بالای آن می باشد. توجه به این نکته در طراحی مدارهای مجتمع RF در تکنولوژی CMOS حائز اهمیت است که عناصر پارازیتیک ترانزیستورها و عناصر غیرفعال از جمله سلفهای مجتمع کارایی مدار را به شدت محدود می کند لذا در این طراحی ها استفاده از ابزارهای CAD طراحی و بهینه سازی که عناصر پارازیتیک را در نظر می گیرند، ضروری است. در این مقاله برای طراحی و بهینه سازی تقویت کننده گسترده، CAD مناسبی ارائه شده است که در آن کلیه عناصر پارازیتیک ترانزیستور و سلفها در نظر گرفته شده و با توجه به آن مدار بهینه می شود.

در ادامه در بخش ۲، به بررسی ساختار و عملکرد تقویت کننده گسترده می پردازیم و مدار پیشنهادی ارائه می شود، در بخش ۳، ساختار سلفهای مجتمع و مدلسازی با عناصر پارازیتیک آنها در تکنولوژی CMOS بررسی شده، در بخش ۴، الگوریتم بهینه سازی پیشنهاد شده تشریح شده و در بخش ۵، نتایج طراحی و بهینه سازی بیان می شود.

۲- نحوه عملکرد تقویت کننده های گسترده

بطور معمول DA ها از دو خط انتقال که پایه های درین و گیت ترانزیستورهای FET را به یکدیگر متصل می کنند، تشکیل شده اند (شکل ۱- a). اما در مدارهای مجتمع چون اتصالات از چندصد میکرومتر خیلی کمتر است، این اتصالات نمی تواند برای فرکانسهای زیر 40GHz بعنوان خط انتقال محسوب شود لذا خط انتقال با ترکیب نردبانی از سلفها و خازنهای فشرده مدل می شود که خازنهای داخلی



بهره مدرا نیز از جمع بهره طبقات بدست آمده و داریم:

$$A_V = n \frac{1}{2} g_m Z_0 \quad \text{که در آن } n \text{ تعداد طبقات است.}$$

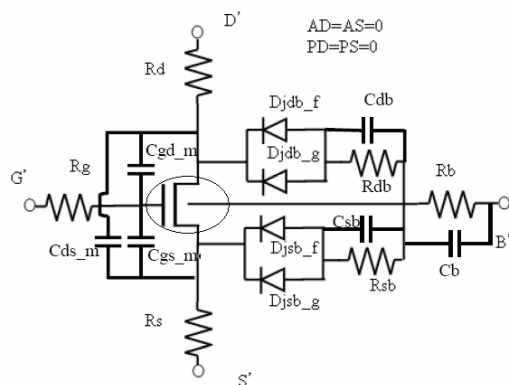
معادلات فوق با فرض خط انتقال بدون تلفات و با سلفهای ایده آل بدست آمده اند ولی در عمل با توجه به ضریب کیفیت نه چندان مناسب سلفهای پیاده سازی شده در تکنولوژی CMOS سلفها دارای تلفات بوده و معادلات بسیار پیچیده تر خواهد بود و با محاسبات تقریبی بهره و پهنای باند مطلوب بدست نمی آید. یک محدودیت پیاده سازی بصورت مجتمع سطح زیاد مورد نیاز برای پیاده سازی سلف ها و همچنین توان مصرفی بالای آن می باشد. لذا نیاز به یک CAD مناسب جهت طراحی که در آن مدلهای دقیق عناصر در نظر گرفته شوند و مقادیر بهره، پهنای باند، توان مصرفی و سطح تراشه در آن بهینه شود، وجود خواهد داشت.

۳- مدل سازی عناصر RF

برای تحلیل مدارهای RF بعلت فرکانس بالای کار مدار، از مدلهایی شامل کلیه عناصر پارازیتیک بایستی استفاده کرد. این مدلها بر اساس فیزیک قطعه پیشنهاد شده و با اندازه گیری پس از ساخت بوسیله شرکت های سازنده تراشه و یا با تحلیل الکترومغناطیسی بدست می آیند. در این بخش مروری بر مدل عناصر در تکنولوژی 0.18um که بوسیله شرکت TSMC⁵ ارائه شده، خواهیم داشت. این مدلها تا فرکانس 20GHz صادق می باشند[6].

۳-۱- ترانزیستور MOS:

برای شبیه سازی ترانزیستور در فرکانسهای بالا به مدل ترانزیستور عادی (BSIM3V3) عناصر پارازیتیک مطابق شکل ۳ اضافه شده است [6].



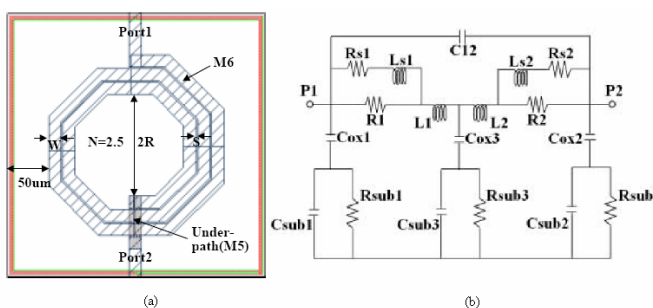
شکل ۳: مدار معادل RF ترانزیستور NMOS [6]

⁵ Taiwan Semiconductor Manufacturing Company

در این شکل کلیه عناصر پارازیتیک به ترانزیستور اضافه شده و کل مدار بعنوان یک زیرمدار جایگزین ترانزیستور می شود. عناصر پارازیتیک عبارتند از: مقاومتهای بدنه (Rb)، خازنهای بدنه (Cdb و Csb، Cb)، مقاومتهای موثر گیت (Rg) که از دو مولفه شامل مقاومت فیزیکی فلز گیت و مقاومت القاء شده کانال تشکیل شده است. دیود های بین درین و بدنه و بین سورس و بدنه، مقاومتهای مسیر اتصالات فلزی درین و سورس (Rs، Rd) و خازنهای اتصالات فلزی پایه ها (Cgs_m، Cgd_m و Cds_m) می باشد.

۳-۲- سلف مجتمع مارپیچی:

برای ساخت سلف از ساختار مارپیچی که در بالاترین لایه



فلزی (لایه فلزی ۶)، استفاده می شود (شکل ۴- a).

شکل ۴: a- ساختار سلف مارپیچی b- مدار معادل آن [6]

اثرات غیر ایده آل شامل تلفات اهمی فلز سلف، اثر پوسته و اثر مجاورتی که باعث افزایش این مقاومت شده، خازنهای پارازیتیک بین سیم پیچها و همچنین بین سلف و بدنه و تلفات بدنه ناشی از جریان Eddy مطابق با شکل ۴- b مدل شده است. در این مدل L_i مقدار سلف و R_i مقاومت اهمی سیم پیچ سلف، R_{si} و L_{si} مقامت و سلف ناشی از اثر پوسته فلز سلف، C_{oxi} خازن بین سلف و بدنه، R_{subi} و C_{subi} مقاومت و خازن ناشی از تلفات بدنه بوده و C_{12} خازن کوپلینگ بین پورت ۱ و ۲ سلف می باشد.

این مدل سازی توسط شرکت TSMC، بازای مقادیر مختلف تعداد دور N (5.5-0.5) و شعاع سلف R (30um - 120um) و بازای مقادیر مختلف W (9um, 15um, 30um) انجام شده است. فرمولهای تجربی با توجه به نتایج اندازه گیری

Parameter	STD
$L1=L2$	$4.381E-4 * N^{-1.731} * DA^{2.228} * DO^{-1.034} - 19.27 * N^{-9.96E-4} + 19.34$
$Ls1=Ls2$	$0.717 * N^{-1.063} * DA^{-0.104} * DO^{0.181} - 0.942 * N^{1.113} - 0.0492$
$R1=R2$	$9.897E-06 * N * DA^2 - 0.1242 * N + 2.602E-05 * DA + 0.0843 * N^2 + 0.717$
$Rs1=Rs2$	$3.469E-06 * N * DA^2 + 0.87 * N + 0.00374 * DA - 0.0366 * N^2 - 0.365$
$C12$	$14.87 * N - 1.424E-03 * N * DA - 1.239 * N^2 + 3.621E-4 * DA^2 - 9.075$
$Cox1$	$0.0471 * N * DA + 14.27$
$Cox2$	$0.0399 * N * DA + 15.21$
$Rsub1$	$62440 / (N * DA) + 45261.4 / DA + 1311.3 / N - 49.659$
$Rsub2$	$-11417 / (N * DA) + 172202 / DA + 866.29 / N + 130.12$

ساختارهایی با ابعاد مختلف استخراج شده است.

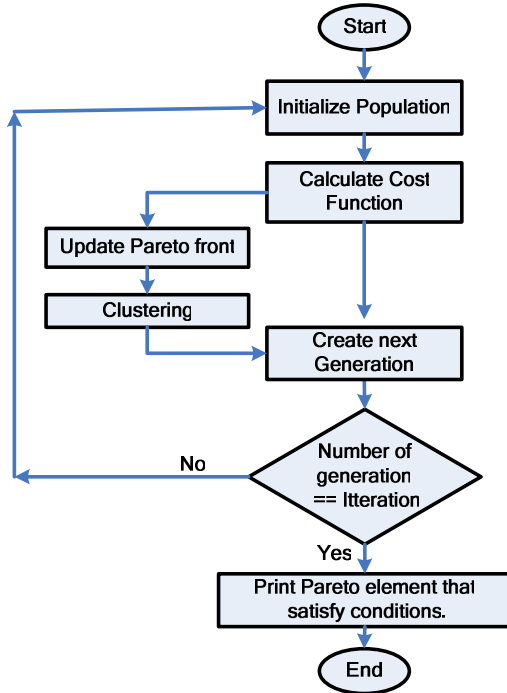
جدول ۱: مقادیر عناصر مدار معادل سلف [6]

در جدول ۱، فرمولهای مقادیر مدل برای $W=15\mu m$ و $S=2\mu m$ برای ساختار شکل ۴-ا آمده است. که در آن DO ، DA و N به ترتیب قطر متوسط، قطر بیرونی و تعداد دور سلف می باشد. در طراحی از سلف با مقدار $W=15\mu m$ استفاده شده است که با تعداد دور N و شعاع R ، مقدار سلف تنظیم می شود.

۴- الگوریتم بهینه سازی بر اساس الگوریتم ژنتیک چند هدفه مبتنی بر جبهه پارتو توزیع شده^۶ (DPMOGA):

در طراحی مدار مورد نظر با توجه به عناصر پارازیتیک ترانزیستورها و سلفها محاسبات دستی دقیق ممکن نیست. با استفاده از فرمولهای تقریبی معمولاً نتایج مورد نظر حاصل نشده و نیاز به سعی و خطای زیادی خواهد بود تا به نتایج مطلوب دست یابیم، که این روش زمانبر بوده و در نهایت نیز معلوم نیست که بهترین جواب ممکن بدست آمده باشد. در این مقاله برای طراحی مدار یک CAD ارایه شده است که جستجوی وسیع و موثری را در محدوده طراحی انجام داده و در هر مرحله مدار با Hspice شبیه سازی شده و نتایج شبیه سازی بررسی می شود و تا حصول نتیجه مطلوب کار ادامه پیدا خواهد کرد. مساله بهینه سازی مدار یک مساله چندهدفه بوده و بایستی مصالحه ای بین پارامترهای مختلف مدار از قبیل بهره، پهنای باند، توان مصرفی و سطح تراشه برقرار شود. الگوریتم بهینه سازی بکار گرفته شده در این مقاله الگوریتم جدیدی بنام *الگوریتم ژنتیک چند هدفه مبتنی بر جبهه پارتو توزیع شده (DPMOGA)* می باشد که برای طراحی مدارهای RF تهیه شده است. نسخه اولیه این الگوریتم در مرجع [7] برای بهینه سازی مدارهای آنالوگ بکار رفته است که در نسخه جدید آن Clustering برای محدود کردن تعداد اعضاء و حفظ پراکندگی جبهه پارتو اضافه شده است. فلوجارت کلی الگوریتم در شکل ۵ آمده است که در آن ابتدا جمعیت اولیه به شکل تصادفی انتخاب شده و در هر مرحله پس از محاسبه توابع هزینه، بهترین اعضاء در یک مجموعه بیرونی شامل جوابهای پارتو نگهداری می شوند سپس بوسیله Clustering اعضاء نزدیک به هم در جبهه با یک عضو جایگزین می شود. برای تولید نسل

بعد، یک عضو از جمعیت موجود با یک عضو از جمعیت پارتو که با توجه به میزان ازدحام اعضاء نسبت به یکدیگر، انتخاب شده است ترکیب می شود. الگوریتم با نرم افزار Matlab نوشته شده که در آن تعداد اعضاء جمعیت، ۳۰ عضو انتخاب شده است که هر عضو شامل اطلاعات ۸ پارامتر ورودی مدار است و با ۴۸ بیت کد شده است. تعداد پارامترهای خروجی نیز ۶ عدد می باشد و الگوریتم حداکثر



شکل ۵: فلوجارت الگوریتم ژنتیک پیاده سازی شده

به تعداد ۱۰۰ نسل ادامه می یابد. در ادامه به توضیح قسمت های مختلف این الگوریتم می پردازیم:

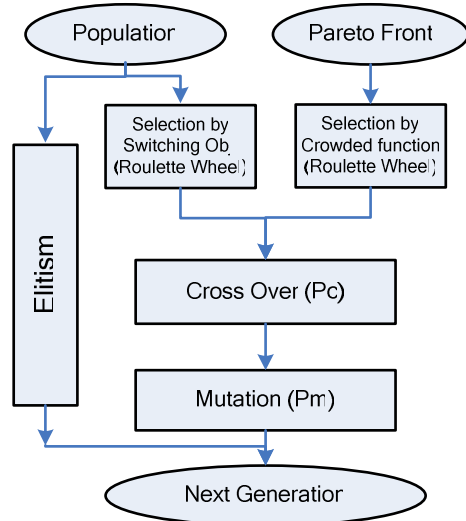
۴-۱- محاسبه توابع هزینه^۷

بازای هر کدام از اعضاء، مقادیر پارامترهای ورودی شامل تعداد دور و قطر سلفهای L_d و L_g ، تعداد finger های M1 و M2 که دارای ابعاد $\frac{W}{L} = \frac{10\mu m}{0.18\mu m}$ می باشند و ولتاژهای بایاس ورودی و گیت M1 (شکل ۲)، استخراج شده و در فایل ورودی (.sp)، جایگزین می شوند. سپس Hspice اجرا شده و از فایل خروجی (.lis)، مقادیر بهره، پهنای باند، مقادیر S11 و S22 و توان مصرفی استخراج می شود. مقدار سطح تراشه با توجه به ابعاد سلفها جداگانه محاسبه می شود (شکل ۶).

⁷ Cost Functions

⁶ Distributed Pareto-Based Multi Objective Genetic Algorithm

اعداد حقیقی ترکیب^{۱۱} شده و سپس عملگر جهش^{۱۲} اعمال و بدین ترتیب یک عضو نسل بعد تولید می‌شود. نحوه انتخاب^{۱۳} از اعضای جمعیت موجود به روش چرخ رولت^{۱۴} بر اساس سویچ کردن بین توابع هدف می‌باشد. بطوریکه به تعداد ۴ بار از نظر هر تابع هدف انتخاب انجام می‌شود. نحوه انتخاب از جبهه پارتو بر اساس میزان ازدحام اعضاء نسبت به یکدیگر به روش چرخ رولت، انجام می‌شود بدین ترتیب که برای هر کدام از اعضاء جبهه پارتو یک تابع ازدحام تعریف می‌شود. S_{ij} تابع همسایگی عضو i تا عضو j ، مطابق با



شکل ۷: تولید نسل بعد

معادله ۴، تعریف می‌شود [9]:

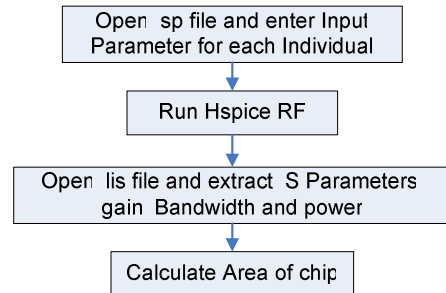
$$S_{ij} = \begin{cases} 1 - \left(\frac{d_{ij}}{\delta_{share}} \right)^2 & \text{if } d_{ij} < \delta_{share} \\ 0 & \text{otherwise} \end{cases} \quad (4)$$

که در آن مقدار $\delta_{share} = 0.1$ در نظر گرفته شده است. در نهایت تابع ازدحام عضو i ام به شکل زیر بدست می‌آید:

$$C_i = \sum_{j=1}^{N_p} S_{ij} \quad (N_p \text{ تعداد اعضای جبهه پارتو است.})$$

انتخاب اعضاء در جبهه پارتو به منظور حفظ پراکندگی با هدف مینیمم کردن C_i ، انجام می‌شود.

۵- نتایج شبیه سازی



شکل ۶: محاسبه توابع هزینه

در این مرحله چنانچه ترانزیستورها در ناحیه فعال نباشند به آن عضو امتیاز منفی بالایی داده می‌شود تا در نسلهای بعدی حذف شود.

۴-۲- به روز کردن^۸ جبهه پارتو

پس از محاسبه توابع هزینه در نسل بعد، اعضاء جدید با اعضاء جبهه پارتو مقایسه شده و در صورتیکه هر کدام از اعضاء جدید بر یک یا چند عضو جبهه پارتو برتری^۹ داشته باشد، این عضو جانشین آن اعضاء در جبهه پارتو می‌شود [7]. سپس Clustering انجام می‌شود و از بین اعضایی که در جبهه پارتو از یک شعاع δ_{Clust} به هم نزدیکتر هستند عضو قدیمتر حفظ شده و بقیه اعضاء حذف می‌شوند. مقدار $\delta_{Clust} = 0.01$ انتخاب شده است. d_{ij} فاصله عضو i تا عضو j ، طبق معادله ۳، تعریف می‌شود که از مجموع مربعات فاصله نرمالیزه شده پارامترهای ورودی و خروجی هر عضو بدست می‌آید [8]. که در آن N تعداد کل پارامترهای ورودی و خروجی است. (p_k^l و p_k^u به ترتیب بیشترین و کمترین مقدار پارامتر k ام می‌باشند).

$$d_{ij} = \sqrt{\frac{1}{N} \sum_{k=1}^N \left(\frac{p_{ik} - p_{jk}}{p_k^u - p_k^l} \right)^2} \quad (3)$$

۴-۳- تولید نسل بعد

مطابق شکل ۷، برای تولید نسل بعد بدین شکل عمل می‌شود که ابتدا برای پیاده سازی نخبه‌گرایی^{۱۰} و اطمینان از اینکه در نسل‌های بعدی کیفیت جوابها بدتر نخواهد شد، بهترین عضو از نظر هر تابع هزینه مستقیماً به نسل بعد راه می‌یابد. (حداکثر ۶ عضو) سپس برای تولید بقیه اعضاء نسل بعد، یک عضو از جمعیت موجود و یک عضو از جبهه پارتو، انتخاب می‌شود و این دو به صورت خطی در محدوده

¹¹ Cross Over

¹² Mutation

¹³ Selection

¹⁴ Roulette Wheel

⁸ Update

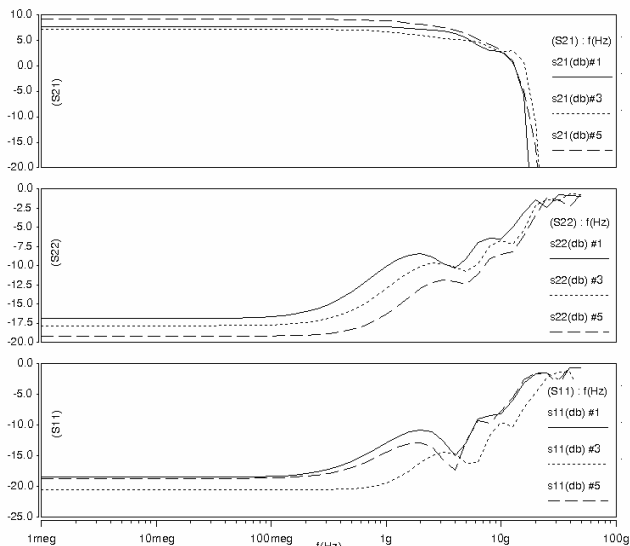
⁹ Dominated

¹⁰ Elitism

مورد نیاز طراحی نیز این روش خیلی سریعتر می باشد به دلیل اینکه در روش محاسبات دستی برای رسیدن به جواب مطلوب نیاز به سعی و خطای زیادی بوده که بسیار زمانبر است. چون معمولا در هر مرحله طراح فقط یکی از پارامترهای ورودی را تغییر داده و پس از آن شبیه سازی را

Specification	Required
Gain	>5 dB
Unity Gain Bandwidth	>10GHz
S11	< -15 dB
S22	< -15 dB
Power Dissipation	< 20 mw
Area of chip	as low as possible
Vdd	1.8 v

تکرار و نتایج آن را بررسی می کند. علت دیگر زمانبر بودن



شکل ۸: مقادیر S21، S11 و S22 سه جواب مختلف

طراحی دستی، تقابل بین پارامترهای خروجی است بطوریکه بهبود یک پارامتر باعث تضعیف پارامترهای دیگر می گردد. از طرف دیگر در محاسبات دستی طراح مطمئن نیست که جواب بدست آمده بهترین جواب ممکن باشد در حالیکه در این روش تا حدود زیادی اطمینان وجود دارد که به بهترین جوابها (جواب بهینه عمومی) رسیده باشیم.

مراجع

- [1] Hee-Tae Ahn, David J. Allstot, "A 0.5–8.5-GHz Fully Differential CMOS Distributed Amplifier, IEEE J. OF SOLID-STATE CIRCUITS, VOL. 37, NO. 8, AUGUST 2002.
- [2] Kambiz K. Moez, and Mohamed I. Elmasry, "CMOS Distributed Amplifiers: An Integrated Solution for Broadband Optical and Wireless Communication Applications," Second IFIP International Conference, Wireless and Optical Communications Networks, 2005.
- [3] Tao Wang and et al., "A Micromachined CMOS Distributed Amplifier by CMOS Compatible ICP Deep-Trench Technology," IEEE ELECTRON DEVICE LETTERS, VOL. 27, NO. 4, APRIL 2006.

با استفاده از CAD تهیه شده طراحی و بهینه سازی تقویت کننده گسترده ۴ طبقه با طبقات Cascode مشابه هم (شکل ۲)، انجام شد. ابعاد ترانزیستورهای M1 و M2، مقدار ولتاژهای بایاس ورودی و گیت ترانزیستور M1، مقادیر سلفها شامل تعداد دور و شعاع سلف درین و گیت بعنوان جدول ۲: حداقل شرایط مطلوب طراحی

پارامترهای طراحی بایستی به شکلی انتخاب شود که حداقل شرایط مطلوب مطابق جدول ۲، برآورده شود. شبیه سازی در تکنولوژی استاندارد CMOS 0.18um انجام شده و در شبیه سازی از عناصر واقعی با در نظر گرفتن عناصر پارازیتیک استفاده شده است لذا نتایج شبیه سازی با نتایج واقعی بسیار نزدیک خواهد بود. روش کار بدین شکل است که در هر مرحله مقادیر پارامترهای ورودی توسط واحد بهینه سازی پیشنهاد می شود سپس مدار با آن مقادیر شبیه سازی شده و نتایج استخراج می شود و کار به تعداد ۱۰۰ نسل ادامه خواهد یافت. پس از ۱۰۰ نسل تعداد اعضاء جبهه پارتو به ۱۶۷ عضو رسید که در بین آنها ۵ جواب قابل قبول وجود داشت که نتایج آن در جدول ۳ آمده است:

Spec.	Answer #1	Answer #2	Answer #3	Answer #4	Answer #5
N_Ld	1.25	1.25	1.0	1.25	1.0
Rad_Ld	116um	113um	117um	110um	93um
N_Lg	1.5	1.0	1.0	1.5	1.5
Rad_Lg	67um	69um	67um	62um	63um
NF_M1 ¹⁵	18	21	18	17	23
NF_M2	13	15	12	13	17
Vin(DC)	1.565V	1.558V	1.575V	1.648V	1.512V
Vb(M1)	1.195V	1.195V	1.196V	1.188V	1.171V
Gain (dB)	7.7	8.7	7.1	7.6	9.1
U.G.B(GHz)	13.05	13.13	16.14	13.13	12.93
S11	-18.4	-20.5	-20.6	-19.7	-18.7
S22(dB)	-16.7	-16.9	-17.7	-16.8	-19.2
Power(mW)	16.5	17.7	15.1	15.7	17.9
Area(mm ²)	1.33	1.26	1.26	1.28	1.10

جدول ۳: جوابهای قابل قبول حاصل از بهینه سازی

نمودارهای مقادیر S21، S11، و S22 بازای سه جواب ۱، ۳ و ۵ در شکل ۸ آمده است. زمان اجرای الگوریتم وابسته به تعداد اجزای Hspice است که در این طراحی کلا ۳۰۰۰ بار Hspice اجرا شد و اجرای برنامه بر روی کامپیوتر Celeron 2.5GHz حدود ۲/۵ ساعت به طول انجامید. همانطور که ملاحظه می شود مجموعه جوابهای حاصل از این روش دارای کیفیت و تنوع بیشتری بوده و از نظر زمان

¹⁵ Number of Finger

- [4] B. Razavi, Design of Integrated Circuits for Optical Communications, McGraw-Hill, 1st ed, September 2002.
- [5] Rony E. Amaya, N.G. Tam and Calvin Plett, "A 27 GHz Fully Integrated CMOS Distributed Amplifier using Coplanar Waveguides," IEEE Radio Frequency Integrated Circuits Symposium, 2004.
- [6] 0.18UM LOGIC 1P6M SALICIDE 1.8V/3.3V SPICE MODELS, Taiwan Semiconductor Manufacture Company, Doc. T-018-MM-SP-001.
- [7] Abbas Golmakani, Habib Rajabi Mashhadi and Khalil Mafi nejad, "A new method in optimization of analog integrated circuits by Pareto-based Multi-Objective Genetic Algorithm," 15th Iranian Conference on Electrical Engineering (ICEE), 2007.
- [8] E. Zitzler. Evolutionary Algorithms for Multiobjective Optimization: Methods and Applications. Ph.D. thesis, Shaker Verlag, Aachen, Germany, 1999.
- [9] K. Deb, Multi-Objective Optimization Using Evolutionary Algorithms, John Wiley and Sons, 2001.
- [10] Josef Shohat, Ian D. Robertson and Steve J. Nightingale, "Investigation of Drain-Line Loss and the S22 Kink Effect in Capacitively Coupled Distributed Amplifiers," IEEE TRANS. ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 12, DECEMBER 2005.