

MAJLESI Journal of ELECTRICAL Engineering

Vol. 2 - No. 1 Summer 2008

ISSN : 2008 - 1413



- The Parasitic-Aware Design and Optimization of CMOS Distributed Amplifier..... 1
Using Multi Objective Genetic Algorithm
Abbas Golmakani, Khalil Mafinejad, Abbas Kouzani
- Analysis and Optimization of Splice-Joint Attenuation of Single-Mode Fibers..... 2
and Photonic Crystal Fibers Based Devices in Optical Communication Networks
Samira Farsinezhad, Faramarz E. Seraji
- Determination of MIMO Systems Capacity in Uniformly Distributed Channel Error..... 3
Mohammad Nozari Zarmehr, Kamal Shahtalebi, Mahdi Edrisi
- VCO Design and Simulation Using TSMC 0.18 μ m Process to Meet IEEE802.11a Requirements.... 4
Arash Daghighi, AliReza Neshat-Niko
- Design, Simulation and Fabrication of a Brushless DC Motor Speed Control..... 5
Amin Kolahdooz, Mohsen Shakeri, Ali Jabbari, ShabanAli Gol
- Optimum Method in Blocking Sidelobe Distortion and Jammer from Radar Fundamental Signal.... 6
Pouya Derakhshan-Barjoei
- Analytical Model for Overmodulation in EDFA's in the Presence of ASE..... 7
Hossein Sariri, Fariborz Parandin, M. Mehdi Karkhanehchi
- GMM Optimization Using Neural Networks for Persian Language Detection..... 8
Ali Shadmard, Ramin Shaghaghi kandovan, Farbod Razzaqi, Yashar Etemad

The Parasitic-Aware Design and Optimization of CMOS Distributed Amplifier Using Multi Objective Genetic Algorithm

Abbas Golmakani¹, Khalil Mafinejad², Abbas Kouzani³

1- Ph.D. Student, Ferdowsi University of Mashhad,

Faculty Member of Sadjad Institute of Higher Education, Mashhad, Abbas_golmakani@yahoo.com

2- Associate Professor, Ferdowsi university of Mashhad, kh_mafi@yahoo.com

3- Assistant Professor, Deakin university, Australia, kouzani@deakin.edu.au

Abstract

In this paper a fully integrated CMOS Distributed Amplifier is presented. This DA can be used for broadband optical and wireless communication applications. A four stage cascode DA is designed and optimized. A critical problem in CMOS RFIC design is the parasitic elements of transistors and inductors and this problem makes handed design methodology complex. Here a CAD tool underpins the parasitic-aware methodology used to optimize the design including all on-chip active and passive devices and bias voltages. Optimization is a new method based on Distributed Pareto-based Multi-Objective Genetic Algorithm that is introduced for RFIC design optimization. The optimization system is parasitic-aware and simulation-based. Through a link between HSPICE and MATLAB, all transistor sizes, bias voltages and number of turns and diameter of inductors are proposed by CAD and then circuit, with these values are simulated by Hspice-RF. The output parameters, such as gain, bandwidth, S11, S22 and power are extracted from output file and the area of chip is calculated separately. This output parameters are used as cost functions for creating next generation. This algorithm is implemented by Matlab and simulated by Hspice-RF with TSMC 0.18u CMOS technology.

Keywords

Distributed Amplifier, Multi Objective Genetic Algorithm, RF CAD Tools

پرق مجله

فصل نامه مهندسی

سال دهم - شماره اول - تابستان ۱۳۸۷



ISSN : 2008-1413

1	طرافقی و بهینه‌سازی یک تقویت‌کننده CMOS با درنظر گرفتن عناصر پارازیتیک بدوسلمه الگوریتم ژنتیک چنددهدۀ عباس گلمکانی، خلیل ماقی نژاد، عباس کوزانی
۹	تحمیل و بهینه‌سازی تلفات پیوندگاه فیبرهای نوری تکمد و ادوات مبتنی بر فیبرهای کربستال فوتوفنی در شبکه‌های مخابرات نوری سمیرا فارسی نژاد، فرامرز اسماعیلی سراجی
۲۳	تغیین ظرفیت سیستم‌های مخابراتی چند ورودی - چند خروجی با خطای یکنواخت کانال محمد نوری زمہری، کمال شاجاعیانی، مهدی ادرسی
۲۹	طرافقی VCO برای استفاده در استاندارد IEEE802.11a با استفاده از تکنولوژی TSMC 0.18 μm آرش دققی، علیرضا نشاط نیکو
۳۹	طرافقی، شبیه‌سازی و ساخت کنترل سرعت موتور جریان مستقیم آهن ریای دائم بدون جاروبکه ابین کلادوز، محسن شاکری، علی جباری، شیبدلی گل
۴۹	بکارگیری تکنیک بهینه در انسداد اختلال ایجاد شده و جمر از سیگنال اصلی و دار بیبا درخشان برجویی
۵۷	بررسی نقش گیمبل خودبیخودی تقویت‌شده در اورعدولاسیون تقویت‌کننده‌های فیبر نوری با الایش اریوم (EDFA) حسین سریری، فربورز پرندین، محمدمحمدی کارخانه چی
۶۵	بهینه‌سازی مدل آبجدهای گوسی با استفاده از شبکه‌های عصبی برای تشخیص زبان فارسی از سایر زبان‌ها در منابع اطلاعاتی گفتاری علی شادمن، رامین شفاقی کندوان، پاشار اعتماد، فرد رزازی
۷۷	دستور العمل تهیه مقاله جهت ثبّت در فصل نامه علمی - پژوهشی مهندسی برق مجلسی
۷۸	فرم اشتراک فصل نامه مهندسی برق مجلسی

طراحی و بهینه‌سازی یک تقویت‌کننده گستردۀ CMOS با درنظر گرفتن عناصر پارازیتیک به وسیله الگوریتم ژنتیک چنددهدفه

عباس گلمکانی^۱، خلیل مافی نژاد^۲، عباس کوزانی^۳

۱- دانشجوی دکتری الکترونیک دانشگاه فردوسی مشهد و عضو هیات علمی گروه مهندسی برق

موسسه آموزش عالی سجاد مشهد، Abbas_golmakani@yahoo.com

۲- دانشیار گروه مهندسی برق دانشگاه فردوسی مشهد، kh_mafi@yahoo.com

۳- استادیار گروه مهندسی برق دانشگاه دیکین استرالیا، kouzani@deakin.edu.au

چکیده

در این مقاله یک تقویت‌کننده گستردۀ CMOS کاملاً مجتمع برای کاربردهای ارتباطات بی‌سیم و گیرنده‌های اپتیکی پهن باند طراحی و بهینه‌سازی خواهد شد. این تقویت‌کننده چهار طبقه با ترکیب Cascode است. مسئله مهم در طراحی مدارهای مجتمع RF در تکنولوژی CMOS توجه به عنصر پارازیتیک ترانزیستور و سلف‌های مجتمع آن است و این مسئله محاسبات دستی طراحی را پیچیده می‌کند. در این مقاله پس از انتخاب پیکربندی مدار توسط کاربر، مقادیر اجزای مدار شامل ابعاد ترانزیستورها، ولتاژ‌های بایاس، تعداد دورها و قطر سیم‌بیچ سلف‌های مدار توسط الگوریتم بهینه‌سازی پیشنهاد شده و مقادیر پهنای باند، پهره، توان مصرفی، مساحت تراشه و مقادیر S11 و S22 توسط این الگوریتم بهینه می‌شود. یک ویژگی مهم این مقاله استفاده از مدل‌های دقیق عناصر در شبیه‌سازی و بدست آوردن جوابی است که به واقعیت بسیار نزدیک است. الگوریتم بهینه‌سازی بکار گرفته شده الگوریتم ژنتیک چنددهدفه مبتنی بر جمیه پارتوی توزیع شده می‌باشد که برای بهینه‌سازی مدارهای RF تهییه شده است. برنامه‌های الگوریتم با Matlab نوشته شده است و شبیه‌سازی مدار به وسیله HspiceRF با تکنولوژی 0.18um CMOS نشانه شده است. صورت گرفته است.

واژه‌های کلیدی

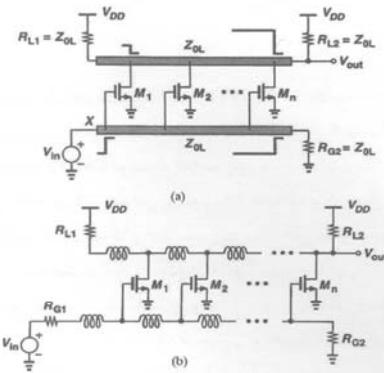
تقویت‌کننده گستردۀ، الگوریتم ژنتیک چنددهدفه، بهینه‌سازی، سلف مجتمع، RF CAD tools

۱- مقدمه

وسعی آن تقویت‌کننده‌های گستردۀ می‌باشد. تقویت‌کننده‌های گستردۀ اولیه با استفاده از لامپ‌های خلا و MESFET‌های GaAs سرعت بالا ساخته شدند [1]. در سال‌های اخیر توسعه تکنولوژی VLSI ما را قادر به ساخت قسمت‌های آنالوگ و دیجیتال یک فرستنده و گیرنده ارتباطی پهن باند به صورت مجتمع بر روی یک تراشه (SoC 3) کرده است [2]. لذا از تکنولوژی CMOS به جای تراشه‌های GaAs، MMIC 4 یا تکنولوژی دو قطبی SiGe بیشتر استفاده می‌شود که هم قیمت تمام شده آن کمتر بوده و هم امکان مجتمع‌سازی را خواهد داشت. تکنولوژی‌های CMOS زیرمیکرون جدید با ترانزیستورهای با

تقویت‌کننده‌های گستردۀ (DA)، کاربردهای متنوعی در سیستم‌های رادار، ارتباطات نوری، مخابرات ماهواره‌ای، ارتباطات بی‌سیم و تجهیزات تست شبکه دارد. تقویت‌کننده‌های گستردۀ عموماً به عنوان یک تقویت‌کننده پهن باند مناسب در مخابرات نوری استفاده می‌شوند و چون دارای برهه ثابتی در محدوده پهنای باند وسیع خود هستند، از پراکندگی سیگنال دریافتی جلوگیری می‌کنند. همچنان در ارتباطات بی‌سیم پهن باند (UWB²)، به تقویت سیگنال در محدوده فرکانسی 3.1GHz تا 10.6GHz نیاز می‌باشد که یک انتخاب مناسب برای پیاده‌سازی آن با توجه به پهنای باند

به طور معمول تقویت کننده های گستردگی از دو خط انتقال که پایه های درین و گیت ترانزیستور های FET را به یکدیگر متصل می کنند، تشکیل شده اند (شکل ۱-a). اما در مدار های مجتمع چون اتصالات از چند صد میکرومتر خیلی کمتر است، این اتصالات نمی توانند برای فرکانس های زیر 40GHz به عنوان خط انتقال محسوب شود لذا خط انتقال با ترکیب نردبانی از سلف ها و خازن های فشرده مدل می شود که خازن های داخلی ترانزیستورها نقش خازن های خط انتقال را خواهند داشت [4] (شکل ۱-b). در این ساختار اثر محدود کننده پهنای باند خازن های داخلی ترانزیستور حذف شده لذا پهنای باند وسیعی خواهیم داشت.



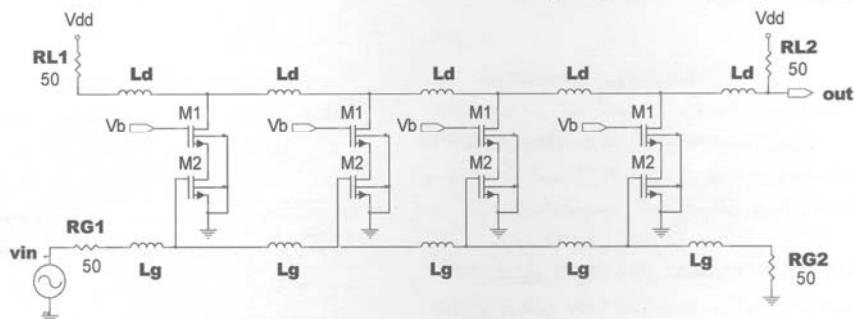
شکل ۱- ساختار شمانیک -a- تقویت کننده گستردگی - پیاده سازی با عناصر فشرده [4]

فرکانس قلع بیش از 100GHz امکان پیاده سازی مدار های RF فرکانس بالا را فراهم کرده اند. به علاوه افزایش تعداد لایه های فلزی برای اتصالات در تکنولوژی های جدید CMOS امکان پیاده سازی عناصر مجتمع غیرفعال از قبیل سلف ها، خطوط انتقال و خازن های خطی با ضربه کیفیت مناسب را به وجود آورده اند [3].

یک مشکل پیاده سازی تقویت کننده های گستردگی پهن باند در CMOS به مشکل مخرب تزویج بدن مربوط می شود. مخصوصاً در پروسه CMOS دیجیتال جدید، میزان ناخالصی بالای بدن و مقاومت کم آن، موجب تلفات بالای در سلف های مجتمع در فرکانس های بالای چند گیگا هرتز می شود. مشکلات دیگر در پیاده سازی این تقویت کننده ها سطح زیاد مورد نیاز برای پیاده سازی سلف ها و همچنین توان مصرفی بالای آن است. توجه به این نکته در طراحی مدار های مجتمع RF در تکنولوژی CMOS حائز اهمیت است که عناصر پارازیتیک ترانزیستورها و عناصر غیرفعال از جمله سلف های مجتمع کار آبی مدار را به شدت محدود می کند لذا در این طراحی ها استفاده از ابزارهای CAD طراحی و بهینه سازی که عناصر پارازیتیک را در نظر می گیرند، ضروری است. در این مقاله برای طراحی و بهینه سازی تقویت کننده گستردگی CAD مناسبی ارائه شده است که در آن کلیه عناصر پارازیتیک ترانزیستور و سلف ها در نظر گرفته شده و با توجه به آن مدار بهینه می شود.

در بخش ۲ به بررسی ساختار و عملکرد تقویت کننده گستردگی پی داریم و مدار پیشنهادی ارائه می شود، در بخش ۳، ساختار سلف های مجتمع و مدل سازی با عناصر پارازیتیک آنها در تکنولوژی CMOS بررسی شده، در بخش ۴، الگوریتم بهینه سازی پیشنهادی تشریح شده و در بخش ۵، نتایج طراحی و بهینه سازی بیان می شود.

۲- نحوی عملکرد تقویت کننده های گستردگی



شکل ۲- تقویت کننده گستردگی مورد استفاده در این مقاله

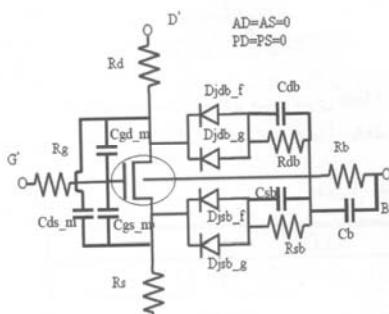
۳- مدل‌سازی عناصر در RF

برای تحلیل مدارهای RF به عنوان فرکانس بالای کار مدار، از مدل‌هایی شامل کلیه عناصر پارازیتیک پایستی استفاده کرد. این مدل‌ها بر اساس فیزیک قطعه پیشنهاد شده و با اندازه‌گیری پس از ساخت به وسیله شرکت‌های سازنده‌ی تراشه و یا با تحلیل الکترومغناطیسی بدست می‌آیند. در این بخش مزوری بر مدل عناصر در تکنولوژی ۰.۱۸um که به وسیله شرکت^۵ TSMC ارائه شده، خواهیم داشت. این مدل‌ها تا فرکانس 20GHz صادق می‌باشند.^[۶]

۳-۱- قرانزیستور MOS:

برای شبیه‌سازی ترانزیستور در فرکانس‌های بالا به مدل ترانزیستور عادی (BSIM3V3) عناصر پارازیتیک مطابق شکل ۲ اضافه شده است.^[6]

در این شکل کلیه عناصر پارازیتیک به ترانزیستور اضافه شده و کل مدار به عنوان یک زیرمدار جایگزین ترانزیستور می‌شود. عناصر پارازیتیک عبارتند از: مقاومت‌های بدن (R_d، R_{db}، R_{sb})، خازن‌های بدن (C_{db}، C_{sb})، مقاومت موثر گیت (R_g) که از دو مؤلفه شامل مقاومت فیزیکی فلز گیت و مقاومت القا شده کاتال تشکیل شده است.



شکل ۳- مدار معادل RF ترانزیستور [6] NMOS

دیوهای بین درین و بدن و بین سورس و بدن، مقاومت‌های مسیر اتصالات فلزی درین و سورس (R_d)، R_{db} و خازن‌های اتصالات فلزی پایه‌ها (C_{db}، C_{sb}، C_{gs}_m، C_{gd}_m) می‌باشد.

۴- ۲- سلف مجتمع مارپیچی:

برای ساخت سلف از ساختار مارپیچی که در بالاترین لایه فلزی (لایه فلزی^(۶)، استفاده می‌شود (شکل ۴-a).

ولی چون بهره به صورت جمع بهره طبقات موازی می‌باشد، بهره‌ی کمتری خواهیم داشت. در این مقاله از ترکیب Cascode برای ترانزیستورها استفاده شده است که مزیت آن نسبت به ترکیب سورس مشترک کم شدن اثر خازن^(۷) است چون در ترکیب سورس مشترک با توجه به اثر میلر این خازن در بهره طبقه ضرب شده و در گیت ظاهر می‌شود و پهنای باند را محدود می‌کند.^[10] مزیت دیگر ترکیب Cascode این است که خطوط انتقال درین و گیت از هم جدا شده و هر خط را با تنظیم ابعاد ترانزیستورهای M1 و M2 به صورت مستقل از دیگری می‌توان طراحی کرد.

در طراحی مدار شکل ۲، توجه به این نکات ضروری است. هر چه ابعاد ترانزیستور M2 بزرگ‌تر باشد بهره بیشتر ولی پهنای باند کمتر می‌شود. ولتاژ بایاس ورودی، جریان ترانزیستورها را مشخص می‌کند که هر چه جریان بیشتر باشد بهره افزایش می‌یابد ولی از طرف دیگر توان مصرفی و سویینگ ولتاژ خروجی بدتر می‌شود. ولتاژ بایاس ترانزیستور M1 پایستی طوری انتخاب شود که ترانزیستورها در ناحیه‌ی فعال باشند و مقادیر سلفها به شکلی بدست می‌آیند که امیدانس مشخصه خطوط انتقال درین و گیت ۵ اهم شود (رابطه ۱).

$$Z_0 = \sqrt{\frac{L_d}{C_{dout}}} = \sqrt{\frac{L_g}{C_{gout}}} = 50 \quad (1)$$

مقادیر C_{gout1} و C_{dout2} با یک مرحله شبیه‌سازی در نقاط کار بدست آمده و مقادیر L_d و L_g با توجه به رابطه ۱ محاسبه می‌شوند. پهنای باند مدار به وسیله پهنای باند خطوط انتقال درین و گیت محدود می‌شود و داریم^[5]

$$BW_{max} \leq \min\left(\sqrt{\frac{1}{L_g C_g}}, \sqrt{\frac{1}{L_d C_d}}\right) \quad (2)$$

بهره‌ی مدار نیز از جمع بهره طبقات موازی بدست آمده و داریم: $A_V = n \frac{1}{2} g_m Z_0$ که در آن n تعداد طبقات است.

معادلات فوق با فرض خط انتقال بدون تلفات و با سلفهای ایده‌آل بدست آمده‌اند ولی در عمل با توجه به ضربی کیفیت نه چندان مناسب سلف‌های پیاده‌سازی شده در تکنولوژی CMOS سلف‌ها دارای تلفات بوده و معادلات بسیار پیچیده‌تر خواهد بود و با محاسبات تقریبی بهره و پهنای باند مطلوب بدست نمی‌آید.

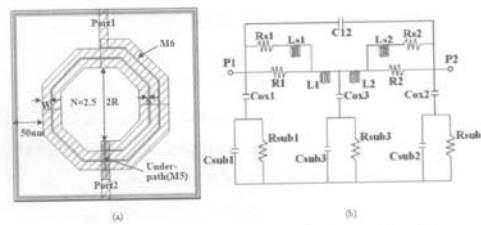
یک محدودیت پیاده‌سازی تقویت‌گشته‌های گسترش به صورت متحتم، سطح زیاد مورد نیاز برای پیاده‌سازی سلفها و همچنین توان مصرفی بالای آن می‌باشد. لذا نیاز به یک CAD مناسب جهت طراحی که در آن مدل‌های دقیق عناصر در نظر گرفته شوند و مقادیر بهره، پهنای باند، توان مصرفی و سطح تراشه در آن بهینه شود، وجود خواهد داشت.

و N به ترتیب قطر متوسط، قطر بیرونی و تعداد دور سلف می‌باشد.
در طراحی از سلف با مقدار $W=15\mu m$ استفاده شده است که با تعداد دور N و شعاع R ، مقدار سلف تنظیم می‌شود.

۴- الگوریتم بهینه‌سازی بر اساس الگوریتم زنگیک چنددهفه مبتنی بر جبهه‌ی پارتوی توزیع شده (DPMOGA⁶)

در طراحی مدار موردنظر با توجه به عناصر پارزیتیک ترازیستورها و سلفها محاسبات دستی دقیق ممکن نیست. با استفاده از فرمول‌های تقریبی معمولاً نتایج مورد نظر حاصل نشده و نیاز به سعی و خطای زیادی خواهد بود تا به نتایج مطلوب دست یابیم، که این روش زمان بر بوده و در نهایت نیز معلوم نیست که بهترین جواب ممکن بدست آمده باشد.

در این مقاله برای طراحی مدار یک CAD ارائه شده است که جستجوی وسیع و مؤثری را در محدوده‌ی طراحی انجام می‌دهد. در مرحله مدار با Hspice شبیه‌سازی شده و نتایج شبیه‌سازی بررسی می‌شود و تا حصول نتیجه مطلوب کار ادامه پیدا خواهد کرد. مسأله بهینه‌سازی مدار یک مسأله چنددهفه بوده و بایستی مصالحه‌ای بین پارامترهای مختلف مدار از قبیل بهره، بهنای باند، توان مصرفی و سطح تراشه برقرار شود. الگوریتم بهینه‌سازی بکار گرفته شده در این مقاله الگوریتم جدیدی بنام الگوریتم زنگیک چنددهفه مبتنی بر جبهه پارتوی توزیع شده (DPMOGA) می‌باشد که برای طراحی مدارهای RF تهیه شده است.



شکل ۴-۴- ساختار سلف مارپیچی b- مدار معادل آن [6]

اثرات غیر ایده‌آل سلف شامل تلفات اهمی فلز سلف، اثر پوسته و اثر مجاورتی که باعث افزایش این مقاومت شده، خازن‌های پارزیتیک بین سیم‌پیچ‌ها و همچنین بین سلف و بدن و تلفات بدنی ناشی از جریان Eddy مطابق با شکل ۴-۴ مدل شده است. در این مدل L مقدار سلف و R مقاومت اهمی سیم‌پیچ سلف، L_{si} و R_{si} مقاومت و سلف ناشی از اثر پوسته فلز سلف، C_{ox1} خازن بین سلف و بدن، R_{sub1} و C_{sub1} مقاومت و خازن ناشی از تلفات بدن بوده و C_{12} خازن کوپلینگ بین پورت‌های ۱ و ۲ سلف است. این مدل سازی توسط شرکت TSMC، بهارای مقادیر مختلف تعداد دور N (۰.۵ - ۵.۵) و شعاع سلف R (۱۲۰ μm - ۳۰ μm) و بازای مقادیر مختلف W (۹ μm , ۱۵ μm , ۳۰ μm) انجام شده است. فرمول‌های تجربی با توجه به نتایج اندازه‌گیری ساختارهایی با ابعاد مختلف استخراج شده است.

در جدول ۱، فرمول‌های مقادیر مدل برای $W=15\mu m$ و $DO=DA$ برای ساختار شکل ۴-۴ آمده است. که در آن $S=2\mu m$

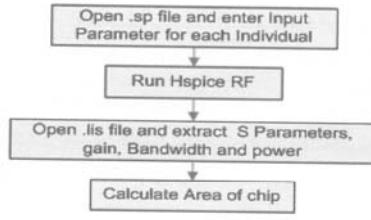
جدول ۱- مقادیر عناصر مدار معادل سلف [6]

Parameter	STD
$L1=L2$	$4.381E-4 * N^{1.731} * DA^{2.228} * DO^{-1.034} - 19.27 * N^{9.96E-4} + 19.34$
$Ls1=Ls2$	$0.717 * N^{1.063} * DA^{-0.104} * DO^{0.181} - 0.942 * N^{1.113} - 0.0492$
$R1=R2$	$9.897E-06 * N * DA^2 - 0.1242 * N + 2.602E-05 * DA + 0.0843 * N^2 + 0.717$
$Rs1=Rs2$	$3.469E-06 * N * DA^2 + 0.87 * N + 0.00374 * DA - 0.0366 * N^2 - 0.365$
$C12$	$14.87 * N - 1.424E-03 * N * DA - 1.239 * N^2 + 3.621E-4 * DA^2 - 9.075$
$Cox1$	$0.0471 * N * DA + 14.27$
$Cox2$	$0.0399 * N * DA + 15.21$
$Rsub1$	$62440/(N * DA) + 45261.4/DA + 1311.3/N - 49.659$
$Rsub2$	$-11417/(N * DA) + 172202/DA + 866.29/N + 130.12$

می شود (شکل ۶) در این مرحله چنانچه توانایی استورها در ناحیه فعلی نباشدند به آن عضو امتیاز منفی بالایی داده می شود تا در نسل های بعدی حذف شود.

۲-۴- بهروز گردن^۸ جبهه پارتو

پس از محاسبه توابع هزینه در نسل بعد، اعضاء جدید با اعضاء جبهه پارتو مقایسه شده و در صورتی که هر کدام از اعضاء جدید بر یک یا چند عضو جبهه پارتو برتری^۹ داشته باشد، این عضو جانشین



شکل ۶- محاسبه توابع هزینه

آن اعضاء در جبهه پارتو می شود [7]. سپس Clustering انجام می شود و از بین اعضاءی که در جبهه پارتو از یک شاعر δ_{Clust} به هم نزدیکتر هستند عضو قدیمی تر حفظ شده و بقیه اعضاء حذف می شوند. مقدار $0.01 = \delta_{Clust}$ انتخاب شده است. d_{ij} فاصله عضو i تا عضو j طبق معادله ۳، تعریف می شود که از مجموع مربعات فاصله نزدیکیه شده پارامترهای ورودی و خروجی هر عضو بدست می آید [8]. که در آن N تعداد کل پارامترهای ورودی و خروجی است.

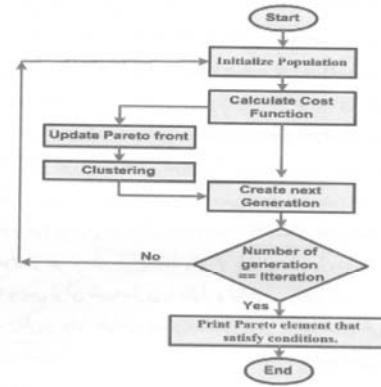
$$d_{ij} = \sqrt{\frac{1}{N} \sum_{k=1}^N \left(\frac{p_{ik} - p_{jk}}{p_k^u - p_k^l} \right)^2} \quad (3)$$

(۳) و p_k^u به ترتیب بیشترین و کمترین مقدار پارامتر k ام می باشند.

۳-۴- تولید نسل بعد

طبق شکل ۷، برای تولید نسل بعد بدين شکل عمل می شود که ابتدا برای پیاده سازی نخبه گرایی^{۱۰} و اطمینان از اینکه در نسل های بعدی کیفیت جوابها بدتر نخواهد شد، بهترین عضو از نظر تابع هزینه مستقیماً به نسل بعد راه می یابد. سپس برای تولید بقیه اعضاء نسل بعد، یک عضو از جمعیت موجود و یک عضو از جبهه پارتو، انتخاب می شود و این دو به صورت خطی در محدوده اعداد حقیقی ترکیب^{۱۱} شده و سپس عملگر جهش^{۱۲} اعمال و بدين ترتیب یک عضو نسل بعد تولید می شود. نحوه انتخاب^{۱۳} از اعضاء جمعیت موجود به روش چرخ رولت^{۱۴} بر اساس سوییج کردن بین توابع هدف می باشد. به طوری که به تعداد ۴ بار از نظر هر تابع هدف

نسخه اولیه این الگوریتم در مرجع [7] برای بهینه سازی مدارهای آنالوگ بکار رفته است که در نسخه جدید آن Clustering برای محدود کردن تعداد اعضاء و حفظ پراکنندگی جبهه پارتو اضافه شده است. فلوچارت کلی الگوریتم در شکل ۵ آمده است که در آن ابتدا جمعیت اولیه به شکل تصادفی انتخاب شده و در هر مرحله پس از محاسبه توابع هزینه، بهترین اعضاء در یک مجموعه بیرونی شامل جوابهای پارتو نگهداری می شوند سپس به وسیله Clustering اعضای نزدیک به هم در جبهه با یک عضو جایگزین می شود. برای تولید نسل بعد، یک عضو از جمعیت موجود با یک عضو از جمعیت پارتو که با توجه به میزان ازدحام اعضاء نسبت به یکدیگر، انتخاب شده است ترکیب می شود. الگوریتم با نرم افزار Matlab نوشته شده است. تعداد اعضاء جمعیت، ۳۰ عدد می باشد و الگوریتم حداقل به تعداد ۱۰۰ نسل ادامه می یابد. در ادامه به توضیح قسمت های مختلف این الگوریتم می پردازیم:



شکل ۵- فلوچارت الگوریتم زنگیک پیاده سازی شده

۴-۱- محاسبه توابع هزینه⁷

بمازای هر کدام از اعضاء، مقادیر پارامترهای ورودی شامل تعداد دور و قطر سلفهای L_d و L_g ، تعداد M_1 و M_2 که دارای ابعاد $\frac{W}{L} = \frac{10\mu m}{0.18\mu m}$ می باشند و ولتاژهای بایاس ورودی و M_1 (شکل ۲)، استخراج شده و در فایل ورودی (.sp) جایگزین می شوند. سپس Hspice اجرا شده و از فایل خروجی (.lis) بهره پیشانی باند، مقادیر $S11$ و $S22$ و توان مصرفی استخراج می شوند. مقدار سطح تراشه نیز با توجه به اعداد سلفهای جداگانه محاسبه

جدول ۲- حداقل شرایط مطلوب طراحی	
Specification	Required
Gain	>5 dB
Unity Gain Bandwidth	>10GHz
S11	<-15 dB
S22	<-15 dB
Power Dissipation	< 20 mw
Area of chip	as low as possible
Vdd	1.8 v

روش کار به این شکل است که در هر مرحله مقادیر پارامترهای ورودی توسط واحد بهینه سازی پیشنهاد می‌شود سپس مدار با آن مقادیر شبیه‌سازی شده و نتایج استخراج می‌شود و کار به تعداد ۱۰۰ نسل ادامه یافته. پس از ۱۰۰ نسل تعداد اعضای جبهه پارتو به ۱۶۷ عضو رسید که در بین آنها ۵ جواب قابل قبول وجود داشت که نتایج آن در جدول ۳ آمده است. بازی سه جواب ۱، ۳ و ۵ از جدول ۳، نمودارهای مقادیر S21، S11 و S22 رسم شده که در شکل ۸ آمده است.

زمان اجرای الگوریتم وابسته به تعداد اجراهای Hspice است که در این طراحی کلا ۳۰۰۰ بار Hspice اجرا شد و اجرای برنامه بر روی کامپیوتر 2.5GHz حدود ۲/۵ ساعت به طول انجامید. همانطور که ملاحظه می‌شود مجموعه جواب‌های حاصل از این روش دارای کیفیت و تنوع بیشتری بوده و از نظر زمان مورد نیاز طراحی نیز این روش خیلی سریع‌تر از روش طراحی دستی می‌باشد به دلیل این که در روش محاسبات دستی برای رسیدن به جواب مطلوب نیاز به سعی و خطای زیادی بوده که بسیار زمانبر است چون معمولاً در هر مرحله طراح فقط یکی از پارامترهای ورودی را تغییر داده و پس از آن شبیه‌سازی را تکرار و نتایج آن را بررسی می‌کند. علت زمان بر بودن طراحی دستی، تقابل بین پارامترهای خروجی است به طوری که بهبود یک پارامتر باعث تضعیف پارامترهای دیگر می‌گردد.

از طرف دیگر در محاسبات دستی طراح مطمئن نیست که جواب بدست آمده بهترین جواب ممکن باشد در حالیکه در این روش تا حدود زیادی اطمینان وجود دارد که به بهترین جواب‌ها (جواب بهینه عمومی) رسیده باشیم.

این روش قابل پیاده‌سازی بر روی هر مدار RF دیگر از قبیل LNA، میکسر، اسیلانور و غیره است و از نظر زمان مورد نیاز طراحی و دقت نتایج حاصله بر روش‌های متداول طراحی ارجحیت دارد. از ویژگی‌های دیگر این روش در نظر گرفتن عناصر پارازیتیک المان‌ها و توجه به Layout آنها در طراحی است.

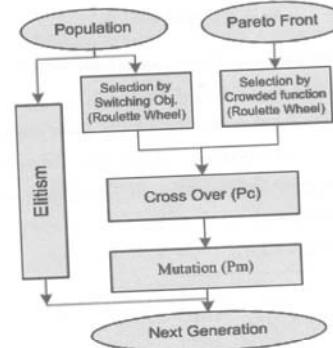
انتخاب انجام می‌شود. نحوه انتخاب از جبهه پارتو بر اساس میزان ازدحام اعضاء نسبت به یکدیگر به روش چرخ رولت، انجام می‌شود بدین ترتیب که برای هر کدام از اعضاء جبهه پارتو یک تابع ازدحام به شکل زیر تعریف می‌شود. S_{ij} تابع همسایگی عضو i تا عضو j ، مطابق با معادله ۴، تعریف می‌شود [۹]:

$$S_{ij} = \begin{cases} 1 - \left(\frac{d_{ij}}{\delta_{share}} \right)^2 & \text{if } d_{ij} < \delta_{share} \\ 0 & \text{otherwise} \end{cases} \quad (4)$$

که در آن مقدار $\delta_{share} = 0.1$ در نظر گرفته شده است. در نهایت تابع ازدحام عضو ۱ ام به شکل زیر بدست می‌آید:

$$C_i = \sum_{j=1}^{N_p} S_{ij} \quad (5)$$

انتخاب اعضاء در جبهه پارتو به منظور حفظ پراکندگی با هدف مینیمم کردن C_i ، انجام می‌شود.



شکل ۷- نحوه تولید نسل بعد

۵- نتیجه گیری

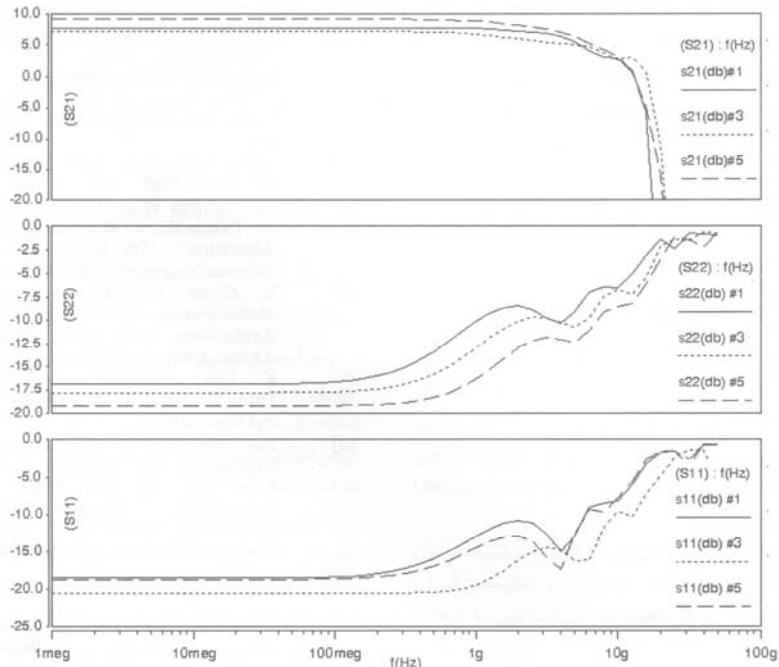
با استفاده از CAD تهیه شده طراحی و بهینه‌سازی تقویت‌کننده گستردۀ ۴ طبقه با طبقات Cascode مشابه هم (شکل ۳)، انجام شد. ابعاد ترانزیستورهای M1 و M2، مقدار ولتاژهای بایاس ورودی و گیت ترانزیستور M1، مقدار سلفها شامل تعداد دور و شاعع سلف درین و گیت بعد عنوان پارامترهای طراحی بايستی به شکلی انتخاب شود که حداقل شرایط مطلوب مطابق جدول ۲، برآورده شود. شبیه‌سازی‌ها در تکنولوژی استاندارد CMOS ۰.۱۸um انجام شده و در شبیه‌سازی از عناصر واقعی با در نظر گرفتن عناصر پارازیتیک استفاده شده است لذا نتایج شبیه‌سازی به نتایج واقعی بسیار نزدیک خواهد بود.

جدول ۳- جواب‌های قابل قبول حاصل از بهینه‌سازی

Spec	Answers				
	#1	#2	#3	#4	#5
N_Ld	1.25	1.25	1.0	1.25	1.0
Rad_Ld	116um	113um	117um	110um	93um
N_Lg	1.5	1.0	1.0	1.5	1.5
Rad_Lg	67um	69um	67um	62um	63um
NF* M1	18	21	18	17	23
NF* M2	13	15	12	13	17
Vin (DC)	1.565V	1.558V	1.575V	1.648V	1.512V
Vb (M1)	1.195V	1.195V	1.196V	1.188V	1.171V
Gain (dB)	7.7	8.7	7.1	7.6	9.1
U.G.B.** (GHz)	13.05	13.13	16.14	13.13	12.93
S11 (dB)	-18.4	-20.5	-20.6	-19.7	-18.7
S22 (dB)	-16.7	-16.9	-17.7	-16.8	-19.2
Power (mW)	16.5	17.7	15.1	15.7	17.9
Area (mm^2)	1.33	1.26	1.26	1.28	1.10

**Unity Gain Bandwidth

*NF=Number of Finger



شكل ۸- مقادیر S21، S11 و S22 سه جواب مختلف

Algorithm
 7- Cost Functions
 8- Update
 9- Dominated
 10- Elitism
 11- Cross Over
 12- Mutation
 13- Selection
 14- Roulette Wheel

- [1] Hee-Tae Ahn, David J. Allstot; "A 0.5-8.5-GHz Fully Differential CMOS Distributed Amplifier", IEEE J. of Solid-State Circuits, Vol. 37, No. 8, August 2002.
- [2] Kambiz K. Moez, and Mohamed I. Elmasry; "CMOS Distributed Amplifiers: An Integrated Solution for Broadband Optical and Wireless Communication Applications", Second IFIP International Conference, Wireless and Optical Communications Networks, 2005.
- [3] Tao Wang and et al.; "A Micro machined CMOS Distributed Amplifier by CMOS Compatible ICP Deep-Trench Technology", IEEE Electron Device Letters, Vol. 27, No. 4, April 2006.
- [4] B. Razavi; Design of Integrated Circuits for Optical Communications, McGraw-Hill, 1st ed, September 2002.
- [5] Rony E. Amaya, N.G. Tam and Calvin Plett; "A 27 GHz Fully Integrated CMOS Distributed Amplifier using Coplanar Waveguides", IEEE Radio Frequency Integrated Circuits Symposium, 2004.
- [6] 0.18UM Logic IP6M Salicide 1.8V/3.3V Spice Acture Company, Doc. T-018-MM-SP-001.
- [7] Abbas Golmakan, Habib Rajabi Mashhadi and Khalil Mafi nejad; "A new method in optimization of analog integrated circuits by Pareto-based Multi-Objective Genetic Algorithm", 15th Iranian Conference on Electrical Engineering (ICIEE), 2007.
- [8] E. Zitzler: Evolutionary Algorithms for Multiobjective Optimization: Methods and Applications. Ph.D. thesis, Shaker Verlag, Aachen, Germany, 1999.
- [9] K. Deb: Multi-Objective Optimization Using Evolutionary Algorithms, John Wiley and Sons, 2001.
- [10] Josef Shohat, Ian D. Robertson and Steve J. Nightingale; "Investigation of Drain-Line Loss and the S22 Kink Effect in Capacitively Coupled Distributed Amplifiers", IEEE Trans. on Microwave Theory and Techniques, Vol. 53, No. 12, Dec. 2005.

مراجع - ۶

- ۱- Distributed Amplifiers
 ۲- Ultra Wide Band
 ۳- System on a Chip
 ۴- Monolithic Microwave Integrated Circuits
 ۵- Taiwan Semiconductor Manufacturing Company
 ۶- Distributed Pareto-Based Multi Objective Genetic

پی‌نوشت‌ها - ۷