

ارائه یک روش جدید در طراحی مدارات مجتمع آنالوگ

بوسیله الگوریتم ژنتیک چند هدفه

جلد ۱۲ - پیاپی ۷۰

دکتر خلیل مافی نژاد
دانشیار گروه مهندسی برق
دانشگاه فردوسی مشهد
kh_mafi@yahoo.com

دکتر حبیب رجبی مشهدی
استادیار گروه مهندسی برق
دانشگاه فردوسی مشهد
h_mashhadi@ferdowsi.um.ac.ir

عباس گلمکانی
دانشجوی دکتری الکترونیک
دانشگاه فردوسی مشهد
Abbas_golmakani@yahoo.com

چکیده: در این مقاله روش جدیدی برای طراحی مدارات مجتمع آنالوگ توسط الگوریتم ژنتیک چند هدفه بر اساس جبهه *pareto* معرفی شده است و به عنوان نمونه یک تقویت کننده عملیاتی با ساختار *Telescopic Cascode* طراحی شده است.

در این روش مقادیر ابعاد ترازیستورها، ولتاژهای بایاس و خازن جبران ساز عنوان پارامترهای طراحی مدار، توسط الگوریتم ژنتیک پیشنهاد می‌شود، سپس در هر مرحله مدار با مقادیر مشخص شده از الگوریتم ژنتیک با نرم افزار *Hspice* شبیه‌سازی شده و بر اساس نتایج شبیه‌سازی، پارامترهای خروجی شامل بهره، پهنای باند، حاشیه فاز و توان مصرفی استخراج می‌گردد. همچنین مقدار سطح تراشه جداگانه محاسبه شده که این مقادیر بعنوان توابع هزینه برای تولید نسل بعد در الگوریتم ژنتیک استفاده می‌شود.

در نهایت توسط الگوریتم ژنتیک چند هدفه مجموعه جوابهای *Pareto* که حداقل شرایط مطلوب طراحی را برآورده سازد مشخص می‌شود که دست طراح در انتخاب جواب مناسب از بین جوابهای قابل قبول نهایی باز خواهد بود. برنامه‌های الگوریتم با *Matlab* نوشته شده است و شبیه‌سازی مدار بوسیله *Hspice* با تکنولوژی 0.18μ صورت گرفته است.

کلید واژه: الگوریتم ژنتیک چند هدفه، تقویت کننده عملیاتی، جبران سازی فرکانسی، CAD Tools، Telescopic Cascode Amplifier، Pareto Front

شاخص‌های مختلف از قبیل بهره، پهنای باند، حاشیه فاز، توان مصرفی، سطح تراشه و غیره ایجاد کند [7]-[5].
عنوان مثال در طراحی یک تقویت کننده عملیاتی طراحی ابتدا با توجه به شرایط مسأله ساختار مناسبی را انتخاب می‌کند سپس برای رسیدن به مقادیر مطلوب پارامترهای خروجی، با توجه به روابط تقریبی موجود مقادیر المانهای مدار را مشخص می‌کند. در این مرحله طراح غالباً در انتخاب این مقادیر چندین درجه آزادی دارد که با توجه به احاطه کامل به مدار این مقادیر اولیه را انتخاب می‌کند. اما پس از شبیه‌سازی مدار با این مقادیر اولیه، اغلب بعلت تقریبی بودن روابط و در نظر نگرفتن اثرات غیر خطی در طراحی شرایط مطلوب حاصل نمی‌شود. این مسأله مخصوصاً با معرفی تکنولوژی‌های جدید که در آنها روابط ساده شده قبلی صادق نیست مشهودتر است. در این مرحله طراح برای رسیدن به شرایط مطلوب به تغییر مقادیر المانهای مدار اقدام می‌کند تا به شرایط مطلوب دست یابد که این کار بسیار مشکل و زمانبر است چون پارامترهای خروجی با هم در تقابل هستند و بهبود یک شاخص ممکن است تضعیف سایر شاخص‌ها را موجب شود.

۱- مقدمه

رشد سریع بازار نیمه هادی و تولید مدارات مجتمع در سالهای اخیر به همراه معرفی سیستم‌های مت مرکز بر روی یک تراشه^۱ نیاز به طراحی سیستم‌های آنالوگ و دیجیتال در کنار هم را افزایش داده است. قسمت آنالوگ مدارات اگر چه درصد کمی از کل مدار را شامل می‌شود ولی در مقایسه با قسمت‌های دیجیتال زمان طراحی و پیچیدگی‌های بیشتری داشته و گلوگاه طراحی می‌باشد، لذا در سالهای اخیر به پیاده‌سازی نرم افزارهای CAD برای طراحی مدارات آنالوگ توجه ویژه‌ای شده است [1].

در سالهای اخیر مطالعات زیادی بر روی طراحی مدارات آنالوگ بوسیله الگوریتم‌های تکاملی^۲ صورت گرفته است که در اکثر این روشها از توابع یک هدفه^۳ استفاده شده است [4]-[2]. اما همانطور که می‌دانیم طراحی آنالوگ یک مسأله چند هدفه^۴ بوده و طراح بایستی مصالحه‌ای بین

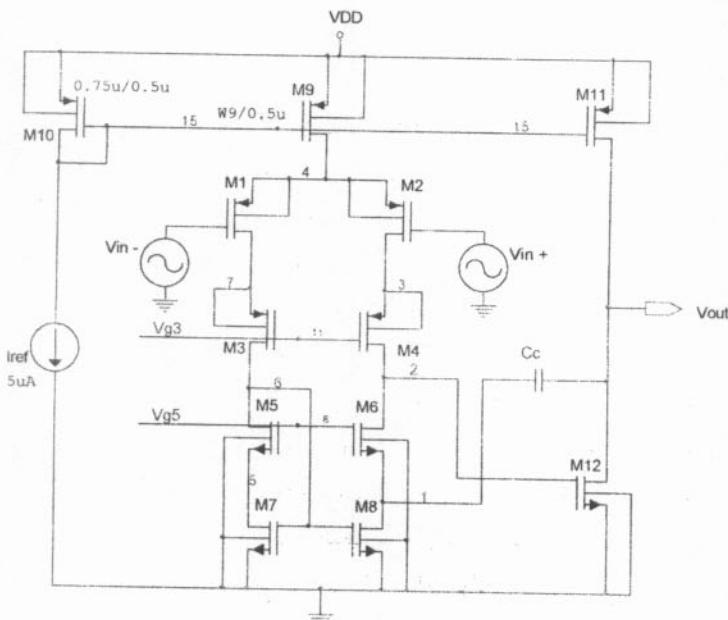
¹ System on a chip

² Evolutionary Algorithm

³ Single-objective

⁴ Multi-objective

می‌توان آنرا به گره‌های ۱ یا ۳ نیز متصل کرد که در این حالتها بعلت حذف مسیر مستقیم از طریق این خازن، صفر حذف می‌شود^[8].



شکل ۱ : ساختار پیشنهادی تقویت کننده مورد نظر

برای طراحی مدار فوق مقادیر I_{ref} ، اندازه ترانزیستور M10 و مقدار L ترانزیستور M9 را ثابت در نظر گرفته‌ایم (شکل ۱). بقیه مقادیر المانها جزء پارامترهای طراحی مدار می‌باشند که توسط الگوریتم ژنتیک بدست می‌آیند. این پارامترها عبارتند از:

- مقدار W/L ترانزیستور M9
- مقدار L و W/L ترانزیستورهای M1 و M2
- مقدار L و W/L ترانزیستورهای M3 و M4
- مقدار L و W/L ترانزیستورهای M5 و M6
- مقدار L و W/L ترانزیستورهای M7 و M8
- ترانزیستورهای فوق دو به دو مشابه می‌باشند.
- ولتاژهای بایاس V_{g3} و V_{g5}
- مقدار L و W/L ترانزیستور M11
- مقدار L و W/L ترانزیستور M12
- مقدار خازن جبران‌ساز C_c

برای افزایش سرعت همگرایی الگوریتم مناسب است که محدوده مجاز تغییرات پارامترها توسعه طراح مشخص شود. این مسئله خصوصاً برای ولتاژهای بایاس حائز اهمیت است، چون در اجرای الگوریتم پس از شبیه‌سازی ابتدا چک می‌شود که کلیه ترانزیستورها در ناحیه فعال باشند در غیر

در این روش تعیین مقادیر المانها بوسیله الگوریتم ژنتیک انجام می‌شود و طراح لازم نیست هیچگونه محاسبه‌ای را انجام دهد و صرفاً برای افزایش همگرایی الگوریتم می‌تواند محدوده مجاز تغییرات پارامترها را مشخص کند.

برای تعیین مقادیر پارامترهای خروجی در روش‌های موجود یا از معادلات حاکم بر مدار^۵ و یا از شبیه‌سازی^۶ استفاده می‌شود [۱]، که در روش پیشنهادی از ترکیب این دو حالت استفاده شده است بطوریکه سطح تراشه بطور تقریبی از روی قوانین Layout محاسبه شده و بقیه پارامترها با شبیه‌سازی مدار بوسیله Hspice بدست می‌آیند.

در پیاده‌سازی الگوریتم ژنتیک در طراحی مدار، دو نگرش مختلف وجود دارد ذر نگرش اول توبولوژی مدار ثابت بوده و الگوریتم فقط مقادیر المانهای مدار را ارائه می‌دهد ولی در نگرش دوم الگوریتم توبولوژی مدار را نیز تغییر داده و مقادیر المانها را بدست می‌آورد. این حالت به صورت محدود که انتخاب یک توبولوژی از بین چند توبولوژی مشخص است، براحتی قابل پیاده‌سازی است که انتخاب توبولوژی نیز بصورت یک متغیر در الگوریتم ژنتیک وارد می‌شود.

۲ - شرایط مسأله نمونه

عنوان یک مساله نمونه در این مقاله طراحی یک تقویت کننده عملیاتی با ورودی دیفرانسیل و خروجی تکسر با مشخصات جدول ۱ مدنظر قرار گرفته است.

Specification	Required
Dc Gain	>100000
Unity Gain Bandwidth	>100MHz
Phase Margin	>70°
Maximum output swing	>2 Vp-p
Power Dissipation	as low as possible
Area of chip	as low as possible
Vdd	2.5 v

جدول ۱ : مشخصات تقویت کننده عملیاتی مورد نظر

برای رسیدن به بهره بالا از طبقه ورودی Telescopic Cascode و برای داشتن حداقل دامنه در خروجی از طبقه دوم سورس مشترک با بار فعال استفاده شده است (شکل ۱). برای جبران‌سازی تقویت کننده از خازن C_c استفاده شده است که این خازن به طور معمول به گره ۲ متصل می‌شود، (جبران‌سازی میلر)، ولی برای حذف صفر حاصله از آن

^۵ Equation-based

^۶ Simulation -based

ایجاد می شود. در هر نسل بهترین جوابها در جمعیت بیرونی کپی شده و جوابهایی که در جمعیت بیرونی مغلوب شده باشند، حذف می شوند. درصورتیکه تعداد اعضای جمعیت بیرونی از حدی بیشتر شود یک الگوریتم دسته بندی بکار گرفته شده و جوابهای با ازدحام بالا را حذف می کند. سپس عملگر انتخاب از بین اعضاء جمعیت اصلی و جمعیت بیرونی اعضا ای را انتخاب کرده که البته شانس انتخاب اعضای جمعیت بیرونی بیشتر است و پس از ترکیب اعضاء انتخاب شده و اثر عملگر جهش اعضاء نسل بعد ساخته می شوند. اخیراً این الگوریتم به منظور ترکیب کردن روش های مناسب برآورد شایستگی، تکنیک های تخمین تراکم و روش های پیشرفته کم کردن حجم بایگانی بهینه شده است و با نام SPEA-II معرفی شده است [11].

۴- پیاده سازی الگوریتم ژنتیک چند هدفه^{۱۲}

در این مقاله الگوریتم پیاده سازی شده مشابه روش SPEA بین شکل است که ابتدا جمعیت اولیه به شکل تصادفی انتخاب شده و در هر مرحله پس از محاسبه توابع هزینه، بهترین اعضاء در یک مجموعه بیرونی شامل جوابهای پارتو نگهداری می شوند.

برای تولید نسل بعد، یک عضو از جمعیت موجود با یک عضو از جمعیت پارتو که با توجه به میزان ازدحام اعضاء نسبت به یکدیگر، انتخاب شده است ترکیب می شود. الگوریتم با نرم افزار Matlab پیاده سازی شده که تعداد اعضای جمعیت، ۲۵ عضو انتخاب شده است و هر عضو شامل اطلاعات ۱۷ پارامتر ورودی طراحی مدار است که با ۱۵۲ بیت کد شده است. تعداد پارامترهای خروجی نیز ۵ عدد می باشد و الگوریتم به تعداد ۱۵۰ نسل ادامه می یابد. فلوچارت کلی الگوریتم در شکل ۲ آمده است که در ادامه به توضیح قسمت های مختلف آن می پردازیم.

۴-۱- محاسبه توابع هزینه^{۱۳}

بازای هر کدام از اعضاء، مقادیر پارامترهای ورودی استخراج شده و در فایل ورودی sp. ، جایگزین می شوند و سپس Hspice اجرا شده و از فایل خروجی lis. مقادیر پارامترهای بهره ولتاز، پهنهای باند، حاشیه فاز، توان مصرفی استخراج می شود. مقدار سطح تراشه بطور تقریبی با توجه

اینصورت یک امتیاز منفی بزرگ به آن جواب داده می شود تا آن جواب در نسلهای بعد حذف شود. پارامترهای خروجی مورد نظر هم عبارتند از: بهره ولتاز، پهنهای باند، حاشیه فاز، توان مصرفی و سطح تراشه که عنوان توابع هزینه در الگوریتم ژنتیک استفاده می شود.

۳- الگوریتم های تکاملی بهینه سازی چند هدفه

اکثر مسایل بهینه سازی واقعی، بطور طبیعی چند هدفه می باشند یعنی در آنها بایستی بطور همزمان چندین هدف برآورده شود. دو نگرش برای حل این مسایل وجود دارد، روش معمولتر شامل تلفیق اهداف مختلف و ایجاد یک تابع هدف و تبدیل مساله به یک مساله یک هدفه می باشد که البته در این روش بایستی اهمیت و اولویت هر هدف مشخص شده باشد. روش دیگر استفاده از مزایای الگوریتم ژنتیک مبتنی بر کار با یک جمعیت است که در این روش هر تابع هدف بطور جداگانه بهینه می شود تا به یک مجموعه جواب غیر غالب بنام جوابهای بهینه پارتو^۷ دست یابیم. این جوابها جوابهای هستند که هیچکدام بر دیگری از نظر تمام توابع هدف برتری نداشته باشد.

کارهای اخیر بر روی الگوریتم های تکاملی بهینه سازی چند هدفه، به منظور حفظ پراکندگی^۸ جوابها و پیاده سازی نخبه گرایی^۹ جهت حفظ کیفیت جوابها در نسل های بعد، بوده است [12]. Deb و همکارانش روشی بنام الگوریتم ژنتیک مبتنی بر مرتب سازی نخبه گرای غیر غالب^{۱۰} (NSGA-II) را معرفی کرده اند که در این روش بطور همزمان حفظ نخبه گرایی و پراکندگی مد نظر قرار گرفته است [9]. در این روش ابتدا یک جمعیت از فرزندان با استفاده از جمعیت والدین ایجاد می شود که اندازه هر دو جمعیت N می باشد، این دو جمعیت با هم ادغام شده و یک جمعیت با $2N$ عضو را بوجود می آورند، که این جمعیت با استفاده از مرتب سازی غیر غالب دسته بندی شده و در نهایت جمعیت جدید شامل بهترین اعضاء تا N عضو بدست می آید.

در الگوریتم دیگری که توسط Zitzler با نام SPEA¹¹ بیان شد، نخبه گرایی را با یک جمعیت بیرونی حفظ می کند [10]. ابتدا یک جمعیت اولیه تصادفی و یک جمعیت بیرونی خالی

⁷ Pareto Optimal

⁸ Diversity

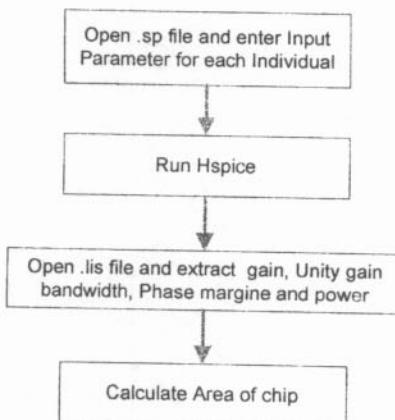
⁹ Elitist

¹⁰ an elitist Non-dominated Sorting Genetic Algorithm

¹¹ Strength Pareto Evolutionary Algorithm

شده و سپس عملگر جهش^{۱۶} اعمال و بدین ترتیب یک عضو نسل بعد تولید می‌شود.

به ابعاد ترانزیستورها و مقدار خازن C_C ، جداگانه محاسبه می‌شود (شکل ۳).



شکل ۳ : محاسبه تابع هزینه

نحوه انتخاب^{۱۷} از اعضای جمعیت موجود به روش چرخ رولت^{۱۸} بر اساس سوییج کردن بین تابع هدف می‌باشد.

بطوریکه به تعداد ۴ عضو از نظر هر تابع هدف انتخاب انجام می‌شود که کلا ۲۰ انتخاب صورت می‌گیرد.
نحوه انتخاب از جبهه پارتو بر اساس میزان ازدحام اعضاء نسبت به یکدیگر به روش چرخ رولت، انجام می‌شود بدین ترتیب که برای هر کدام از اعضاء جبهه پارتو یک تابع ازدحام تعریف می‌شود.

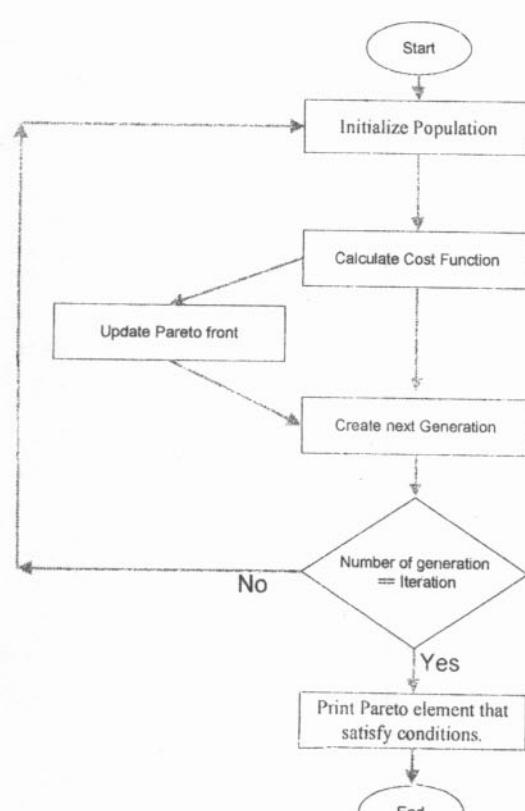
d_{ij} فاصله نرمالیزه شده عضو i تا عضو j ، به شکل زیر تعریف می‌شود که از مجموع مربعات فاصله ۱۷ پارامتر ورودی و ۵ پارامتر خروجی هر عضو بدست می‌آید.
 p_k^u و p_k^l به ترتیب بیشترین و کمترین مقدار پارامتر k می‌باشند).

$$d_{ij} = \sqrt{\frac{1}{22} \sum_{k=1}^{22} \left(\frac{p_{ik} - p_{jk}}{p_k^u - p_k^l} \right)^2}$$

S_{ij} تابع همسایگی عضو i تا عضو j ، به شکل زیر تعریف می‌شود:

$$S_{ij} = \begin{cases} 1 - \left(\frac{d_{ij}}{\delta_{share}} \right)^2 & \text{if } d_{ij} < \delta_{share} \\ 0 & \text{otherwise} \end{cases}$$

که در آن مقدار $\delta_{share} = 0.1$ در نظر گرفته شده است.



شکل ۲ : فلوچارت الگوریتم زنگین پیاده سازی شده

۴-۲- بهروز کردن جبهه پارتو

پس از محاسبه تابع هزینه در نسل بعد، اعضاء جدید با اعضاء جبهه پارتو مقایسه شده و در صورتیکه هر کدام از اعضاء جدید بر یک یا چند عضو جبهه پارتو برتری^{۱۹} داشته باشد، این عضو جانشین آن اعضاء در جبهه پارتو می‌شود [10].

۴-۳- تولید نسل بعد

برای تولید نسل بعد بدین شکل عمل می‌شود که ابتدا برای پیاده سازی نخبه‌گرایی و اطمینان از اینکه در نسل‌های بعدی کیفیت جوابها بدتر نخواهد شد، بهترین عضو از نظر هر تابع هزینه مستقیماً به نسل بعد راه می‌یابد. (حداکثر ۵ عضو) سپس برای تولید بقیه اعضای نسل بعد، یک عضو از جمعیت موجود و یک عضو از جبهه پارتو، انتخاب می‌شود و این دو به صورت خطی در محدوده اعداد حقیقی ترکیب^{۱۵}

¹⁶ Mutation

¹⁷ Selection

¹⁸ Roulette Wheel

¹⁴ Dominated

¹⁵ Cross Over

توان بیشتری مصرف می‌کنند (شکل ۵)، همچنین با افزایش بهره حاشیه فاز کاهش می‌یابد (شکل ۶). زمان اجرای الگوریتم وابسته به تعداد اجراهای Hspice بوده و حدود ۱/۵ ساعت به طول انجامید که در این حالت فقط تحلیل ac انجام گرفته است که زمان کمی را به خود اختصاص می‌دهد. از بین اعضاء جبهه پارتلو، آن دسته از جوابها که حداقل شرایط مسئله را داشته باشند به عنوان مجموعه جواب اولیه ارائه می‌شوند که در این حالت تعداد ۲۹۷ جواب قابل قبول بددست آمد. از بین جوابهای قابل قبول ابتدا با تحلیل حالت گذرا^{۱۹} (که زمان بیشتری می‌طلبد) جوابهایی که از نظر حداقل دامنه ولتاژ خروجی شرایط مورد نظر را دارند و سپس با تحلیل در کلیه گوششای پروسس و دما، جوابهایی که در کلیه گوششای نیز حداقل شرایط مطلوب را داشته باشند به عنوان مجموعه جواب نهایی معرفی می‌شود. در نهایت به علت تعدد جوابها دست طراح در انتخاب جواب مناسب از بین جوابهای قابل قبول که هر کدام از نظری بهینه‌تر هستند، باز خواهد بود.

در جدول ۲ بین نتایج جواب محاسبات دستی و چند جواب الگوریتم ژنتیک مقایسه صورت گرفته است.

Element	Handed Simulated	GA #1	GA #2	GA #3
W/L-M1	20u/0.5u	43u/0.28u	60.5u/0.46u	41.5u/0.36u
W/L-M2	20u/0.5u	43u/0.28u	60.5u/0.46u	41.5u/0.36u
W/L-M3	5u/0.5u	8.4u/0.44u	14.3u/0.53u	16.5u/0.37u
W/L-M4	5u/0.5u	8.4u/0.44u	14.3u/0.53u	16.5u/0.37u
W/L-M5	5u/0.5u	17.4u/0.46u	5.5u/0.44u	10.8u/0.37u
W/L-M6	5u/0.5u	17.4u/0.46u	5.5u/0.44u	10.8u/0.37u
W/L-M7	10u/1u	22.4u/0.75u	9.5u/0.56u	19.4u/0.63u
W/L-M8	10u/1u	22.4u/0.75u	9.5u/0.56u	19.4u/0.63u
W/L-M9	5.5u/0.5u	11.6u/0.5u	6.2u/0.5u	13.3u/0.5u
W/L-M10	15u/0.3u	17.4u/0.51u	8.6u/0.62u	21.6u/0.59u
W/L-M11	6u/0.5u	91.5u/1.39u	47.8u/1.36u	90.4u/1.2u
VG3	0.74V	0.82V	0.8V	0.8V
VG5	0.74V	0.85V	0.85V	0.86V
VCMIN	1.4V	1.56V	1.57V	1.54V
Cc (fF)	390	395.5	337	364.5
Gain (K)	167	410	668	381
U.G.B(MHz)	112.13	156.13	364	166
phasemargin	83°	87°	77°	86°
Power(uW)	253.8	389.9	454	439
Area(um^2)	212	198	269	187

جدول ۲: مقایسه بین نتایج محاسبات دستی و چند جواب الگوریتم ژنتیک

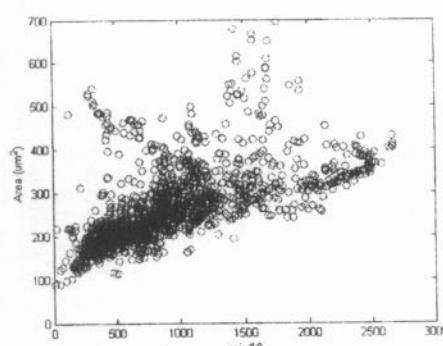
در نهایت تابع ازدحام عضو ۱ ام به شکل زیر بدست می‌آید:

$$C_i = \sum_{j=1}^{N_p} S_{ij}$$

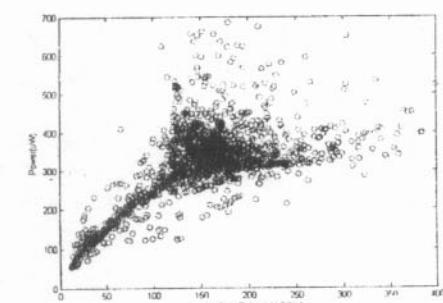
انتخاب اعضاء در جبهه پارتلو به منظور حفظ پراکندگی با هدف مینیمم کردن C_i ، انجام می‌شود.

۵- نتایج شبیه سازی

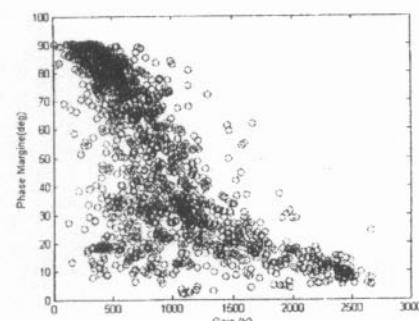
پس از اجرای ۱۵۰ نسل، تعداد اعضای جبهه پارتلو به ۱۶۵۳ عدد رسید که در شکل‌های ۴ الی ۶، مقادیر توابع هزینه اعضاء جبهه پارتلو دو به دو نسبت به هم رسم شده است که نشان‌دهنده پراکندگی مناسب الگوریتم می‌باشد.



شکل ۴- تقابل بین بهره و سطح تراشه اعضاء جبهه پارتلو



شکل ۵- تقابل بین پهنای باند و توان مصرفی اعضاء جبهه پارتلو



شکل ۶- تقابل بین بهره و حاشیه فاز اعضاء جبهه پارتلو

همانطور که ملاحظه می‌شود جوابهای با بهره بالاتر سطح بیشتری را اشغال (شکل ۴) و جوابهای با پهنای باند بیشتر

¹⁹ Transient

شود بطوریکه در روش جبران‌سازی، خازن Cc می‌تواند به یکی از گره‌های ۱، ۲ و یا ۳ متصل شود.

همچنین می‌توان برای افزایش همگرایی الگوریتم تعداد اعضاء جبهه پارتو را مشابه روش SPEA محدود کرد.

مراجع

- [1] J. Silva, N. Horta, "GENUM:circuit-level optimizer based on a modified genetic algorithm kernel," IEEE Trans. On Computer Aided Design, 2002.
- [2] H. Onodera, H. Kanbara, K. Tamaru, "Operational-Amplifier compilation with performance optimization," IEEE Journal of solid-state circuits, Vol.25, No.2, April 1990.
- [3] Maunel Barros, et all, "An evolutionary optimization kernel with adaptive parameters applied to analog circuit design," IEEE Trans. On Computer Aided Design, 2005.
- [4] Kasin Prakobwaitaykit," Analog circuit optimizer based on computational intelligence techniques," The 47th IEEE International Midwest Symposium on Circuits and Systems, 2004.
- [5] Tom Eeckelaert, et all, "Efficient multiobjective synthesis of analog circuits using hierarchical pareto-optimal performance hypersurfaces," in Proc. of the Design, Automation and Test in Europe Conference and Exhibition ,2005.
- [6] Glenn Wolfe and Ranga Vemuri, " Extraction and Use of Neural Network Models in Automated Synthesis of Operational Amplifiers," IEEE Trans. On Computer Aided Design of Integrated Circuits and Systems, VOL.22, NO.2, FEBRUARY 2003.
- [7] S. Papadopoulos, R. J. Mack and R. E. Massara, "A hybrid genetic algorithm method for optimizing analog circuits," in Proc. 43rd IEEE Midwest Symp. on Circuits and Systems, Lansing MI, Agust 2000.
- [8] B.K.Ahuja, "An improved frequency compensation technique for CMOS operational Amplifiers," IEEE Journal of Solid-State Circuits, 1983.
- [9] Deb, K., Agrawal, S., Pratap, A., Meyarivan, T. , "A Fast and Elitist Multi-Objective Genetic Algorithm: NSGAII," Technical Report, Indian Institute of Technology, Kampur, 2000
- [10] E. Zitzler, Evolutionary Algorithms for Multiobjective Optimization: Methods and Applications, PhD thesis, Swiss Federal Institute of Technology, Zurich, Switzerland, 1999.
- [11] Zitzler, E., Laumanns, M., Thiele, L., " SPEA2: Improving the Strength Pareto Evolutionary Algorithm," TIK report no.103, Swiss Federal Institute of Technology, Zürich, Switzerland ,2001
- [12] Gaspar-Cunha, A., Oliveira, P., Covas, " Use of Genetic Algorithms in Multicriteria Optimization to Solve Industrial Problems," 7th Int. Conf. on Genetic Algorithms, Michigan, USA ,1997

همانطور که ملاحظه می‌شود مجموعه جوابهای حاصل از الگوریتم زنتیک دارای کیفیت و تنوع بیشتری نسبت به جواب حاصل از محاسبات دستی است. از نظر زمان مورد نیاز طراحی نیز روش محاسبات دستی بسیار طولانی‌تر از روش الگوریتم زنتیک می‌باشد به کیفیت مطلوب نیاز به محاسبات دستی برای رسیدن به کیفیت مطلوب نیاز به تنظیم مقادیر اولیه المانها با سعی و خطای زیادی بوده که بسیار زمانبر است چون در هر مرحله طراح فقط یکی از پارامترهای ورودی را تغییر داده و پس از آن شبیه‌سازی انجام گرفته و نتایج آن را بررسی می‌کند. علت دیگر زمانبر بودن طراحی دستی، تقابل بین پارامترهای خروجی است بطوریکه بهبود یک پارامتر باعث تضعیف پارامترهای دیگر می‌گردد.

از طرف دیگر در محاسبات دستی بعلت اینکه در انتخاب پارامترها چندین درجه آزادی وجود دارد، طراح مطمئن نیست که جواب بدست آمده بهترین جواب ممکن باشد در حالیکه در روش الگوریتم زنتیک تا حدود زیادی اطمینان وجود دارد که به بهترین جوابها رسیده باشیم.^{۲۰}

۶- نتیجه‌گیری

روش معرفی شده در این مقاله بر روی هر مدار آنالوگ دیگر قابل پیاده‌سازی است و فقط کافیست که فایل ورودی مدار، پارامترهای ورودی و محدوده تغییرات مجاز آنها و پارامترهای خروجی تعیین گردد.

مزیت مهم دیگر این روش همگرایی مناسب الگوریتم توانم با حفظ پراکندگی جوابها بوده و در زمان نسبتاً کوتاهی جوابهای قابل قبول بدست می‌آید. از طرف دیگر در این روش بجای یک جواب، یک دسته جواب معرفی می‌گردد که هر یک از جهتی بهینه بوده و دست طراح در انتخاب مدار مناسب با توجه به شرایط خاص طراحی باز خواهد بود. برای افزایش سرعت اجرای برنامه، در حلقه اصلی الگوریتم زنتیک فقط تحلیل ac انجام شده است و جوابهایی که حداقل شرایط مطلوب را دارند در این مرحله بدست می‌آید. تحلیل‌های زمانبر مثل تحلیل حالت گذرا یا تحلیل در کلیه گوشش‌های دما و پروفیلس و یا تحلیل مونت کارلو در انتهای روش جوابهای منتخب صورت می‌گیرد. در این مسئله الگوریتم می‌تواند بصورت توبولوژی متغیر نیز پیاده‌سازی

²⁰ Global Optimum