یک مقسم فرکانس دینامیک جدید با پایداری بهبود یافته

روح‌الله هاشمی[1]، محمد میمندی‌نژاد[2]
[1]دانشگاه فردوسی مشهد ، rouhollah.hashemi@gmail.com
[2]دانشگاه فردوسی مشهد، maymandi@um.ac.ir

چکیده – در این مقاله یک مقسم فرکانس دینامیک کم توان پیشنهاد شده است. این مدار بر اساس منطق *TSPC* ساخته شده است. مقسم فرکانس‌های *TSPC* دارای کمترین توان مصرفی در بین انواع مقسم‌های فرکانس هستند. با وجود این، این مقسم فرکانس در فرکانس‌های پایین دچار ناپایداری می‌شود و برای ورودی‌های سینوسی طراحی نشده‌اند. مدار پیشنهادی قادر به دریافت سیگنال سینوسی در ورودی بوده و در فرکانس‌های پایین به نوسان نمی‌افتد. این مدار در فرآیند *0.18μm CMOS* شبیه‌سازی شد. نتایج شبیه‌سازی نشان می‌دهند این مقسم فرکانس قادر به کار در باند فرکانسی *50MHz- 2GHz* است. توان مصرفی این مدار در فرکانس *400MHz* برابر *17μW* است.

کلید واژه- مقسم فرکانس دینامیک، پایداری، لچ، D-Latch

1- مقدمه

مقسم‌های فرکانس از قطعات اصلی در حلقه‌های قفل فاز هستند. مقسم‌های فرکانس برای تقسیم فرکانس یک سیگنال بر یک عدد صحیح به کار می‌روند. در این بین تقسیم کننده‌های فرکانس بر دو از قطعات زیربنایی برای بقیه ساختارهای مقسم فرکانس هستند. ساختارهای مختلفی برای تقسیم‌کننده‌های فرکانس بر دو ارایه شده است [1-8]. در بسیاری از این مدارها از دو D-Latch استفاده می‌شود که ورودی‌های هر کدام خروجی‌های لچ دیگر را تشکیل می‌دهد. در این ساختار سیگنال ورودی به ورودی ساعت هر لچ وارد می‌شود. انواع دیگر مقسم فرکانس شامل مقسم فرکانس TSPC، مقسم فرکانس تزریق قفل (Injection Locked Frequency divider)، مقسم فرکانس میلر (Miller Frequency divider) و مقسم فرکانس پارامتری (Parametric Frequency divider) هستند.

در کارهای پزشکی توان مصرفی یک مساله بسیار مهم است در حالیکه فرکانس کاری پایین‌تر از فرکانس کاری سیستم‌های مخابراتی است. به علت حیاتی بودن مصرف توان مقسم فرکانس-های با مصرف توان استاتیک [4-5] گزینه مناسبی در کارهای پزشکی نیستند. همچنین به علت قرار گرفتن قطعات کاشتنی در داخل بدن، مقسم‌های فرکانس تزریق قفل، میلر و پارامتری به خاطر استفاده از عنصرهای غیر فعال مانند سلف و خازن در این قطعات استفاده نمی‌شوند.

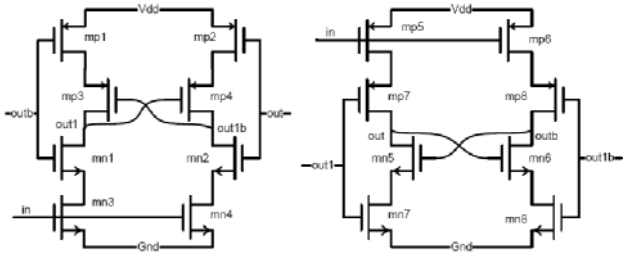
در بین مقسم‌های فرکانس ساخته شده بر اساس لچ، مقسم فرکانس‌های ساخته شده بر اساس منطق TSPC (True Single Phase Clock) [1] دارای مصرف توان استاتیک نبوده و برای کارهای پزشکی مناسب هستند. در ادامه به بررسی چند ساختار متداول در مقسم‌های فرکانس ساخته شده بر اساس لچ می-پردازیم. سپس به معرفی مقسم فرکانس TSPC پرداخته و مشکلات این مدار شرح داده می‌شود. در قسمت سوم مدار جدیدی برای حل مشکلات این مقسم فرکانس ارایه می‌شود. در قسمت چهارم نتایج شبیه‌سازی برای سنجش عملکرد مدار پیشنهادی آورده شده است.

2- بررسی مقسم‌های فرکانس ساخته شده بر اساس لچ

مقسم‌های فرکانس ساخته شده بر اساس لچ معمولا از دو D-Latch تشکیل شده‌اند. هر لچ دارای یک حالت حس و یک حالت لچ است. در حالت حس کلاک لچ غیرفعال است و ورودی لچ مکمل خروجی آن است. با فعال شدن کلاک، لچ به حالت لچ می‌رود و خروجی آن عوض می‌شود. ورودی‌های لچ دیگر در پی آن معکوس می‌شوند و این لچ به حالت حس می‌رود.

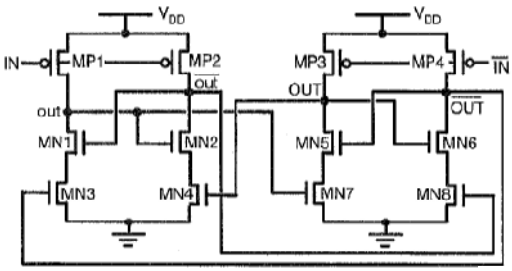
ساده‌ترین پیاده‌سازی این مقسم فرکانس در [2] آمده است. نمونه‌ای از پیاده‌سازی مداری این مقسم فرکانس در شکل 1 نشان داده شده است. در این مدار با حذف چند ترانزیستور از

مدار گفته شده در [2] در مصرف توان و سطح تراشه استفاده شده صرفه‌جویی شده است. این مدار توسط فوجی‌شیما و دیگران [3] ارایه شده است. این مقسم فرکانس از دو نیم مدار تشکیل شده است. نیم مدار سمت راست در لبه پایین رونده ولتاژ ورودی in و نیم مدارسمت چپ در لبه بالا رونده ولتاژ ورودی in خروجی‌های خود را تغییر می‌دهند. خروجی‌هر نیم مدار در ورودی نیم مدار دیگر با لبه بالا رونده یا پایین رونده دیگر ولتاژ in باعث تغییر خروجی آن طبقه می‌شوند. بنابراین در خروجی هر کدام از نیم مدارها فرکانس نصف فرکانس ولتاژ ورودی است.



شکل 1: مقسم فرکانس فوجی‌شیما و دیگران

از دیگر مقسم‌های فرکانس مدار شکل 2 [5] است. این مدار مدار مشابه مدار فوجی‌شیما است با این تفاوت که در این جا از دو نیم مدار مشابه استفاده شده است. این خود نیاز به ورودی تفاضلی را موجب می‌شود. تفاوت دیگر و اصلی مدار در حذف یک زوج ترانزیستور از مدار فوجی‌شیما است. حذف این زوج ترانزیستورها شارژ شدن گره‌های خروجی را سریعتر می‌کند و خازن گره‌های خروجی را کاهش می‌دهد[5]. این اثر باعث افزایش سرعت مدار می‌شود. همچنین مدارهای فیدبک مثبت هر دو نیم مدار از ترانزیستورهای NMOS تشکیل شده است که باعث کاهش خازن گره‌های خروجی و زیاد شدن هدایت انتقالی این فیدبک می‌شود که نهایتاً به بالا رفتن سرعت مدار و کاهش توان دینامیک می‌انجامد[5]. اما این مدار به علت مصرف توان استاتیک نسبت به مدار فوجی‌شیما در فرکانس‌های پایین‌تر از



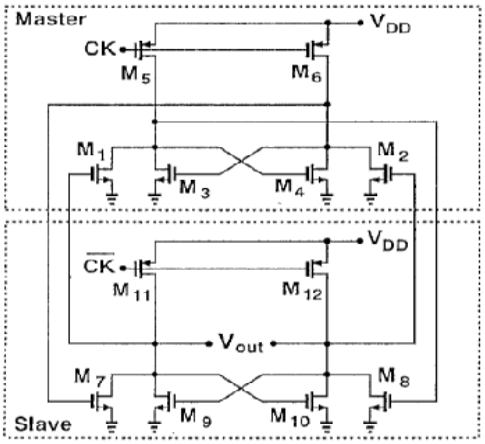
شکل 2: مقسم فرکانس چن [5]

ماکزیمم فرکانس کاری مدار، توان بیشتری مصرف می‌کند.

از جمله مقسم فرکانس‌های دیگر می‌توان به مدار رضوی [4] اشاره کرد. این مدار در شکل 3 نشان داده شده است. مدار از دو D- Latch تشکیل شده است. هنگامی‌که ck غیر فعال (بالا بودن ck) است، در نیم مدار اداره کننده (Master) ترانزیستورهای m_2 و m_1 در مد حس عمل می‌کنند. این ترانزیستورها خروجی‌های این نیم مدار را بر اساس خروجی‌های لچ دیگر (نیم مدار پیرو) تعیین می‌کنند. البته طرز کار این مدار با حالتی که از دو D- Latch ایده‌ال استفاده می‌شود کمی متفاوت است. در این مدار در حالت حس هم خروجی‌ها تغییر می‌کند در حالیکه در مداری که از دو لچ ایده‌ال استفاده می‌کند چنین نیست، در این مدار هنگامیکه ck غیرفعال است هر دو خروجی صفرند.

با فعال شدن ck فیدبک مثبت متشکل از m_3 , m_4 فعال شده و بر اساس اینکه کدامیک از m_1 , m_2 روشن باشند، گره خروجی متصل به ترانزیستور روشن در ولتاژ صفر می‌ماند و خروجی دیگر Vdd می‌شود.

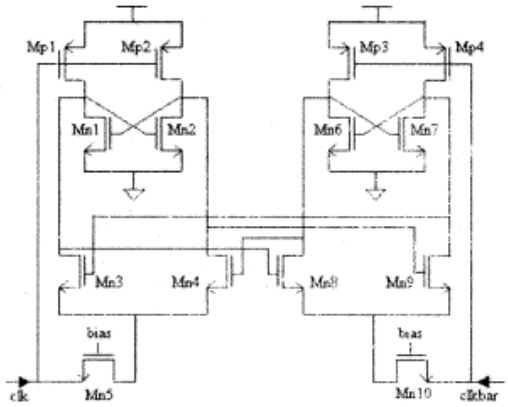
این خروجی‌ها در ورودی‌های لچ دیگر باعث صفر شدن خروجی می‌شوند که قبلاً یک است و بنابراین هر دو خروجی لچ دیگر صفر می‌شوند. بنابراین در هر بار فعال شدن ck خروجی لچ عوض می‌شود که باعث تقسیم فرکانس بر دو می‌شود. یکی از مشکلات این مدار مربعی نبودن سیگنال‌های خروجی با وجود مربعی بودن سیگنال ورودی است. از مشکلات دیگر این مدار احتیاج به سیگنال ورودی تمام تفاضلی است.



شکل 3: مقسم فرکانس رضوی [4]

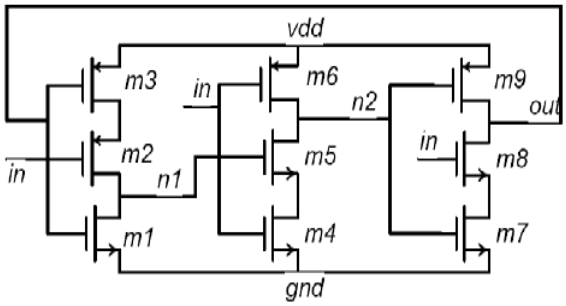
نمونه‌ی تعمیم یافته مدار رضوی که مصرف توان آن کمتر است در شکل 4 [6] آورده شده است. در این مقسم فرکانس از یک مدار جدید برای D-Latch استفاده شده است. همان‌طور که در شکل 4 دیده می‌شود در این مدار ورودی به جای اعمال به گیت

ترانزیستورهای دم (tail) به سورس آنها اعمال می‌شود. به علاوه ورودی اعمال شده به ترانزیستورهای PMOS بار تغییر کرده است. در طرح عادی ترانزیستورهای PMOS مانند یک بار ثابت عمل می‌کند و با توجه به محدود بودن بهره فیدبک مثبت مدار دارای یک حد سرعت است[6]. در این مدار ترانزیستورهای PMOS در مد حس در ترایود بوده و از خود مقاومت کوچکی نشان می‌دهند. این اتفاق باعث کوچک شدن حاصل‌ضرب RC های خروجی D-Latch می‌شود و ترانزیستورهای MN_4 و MN_3 سریعتر می‌توانند گره‌های خروجی را دشارژ نمایند و در نتیجه سرعت مدار با این کار افزایش می‌یابد. در مد لچ ترانزیستورهای PMOS خاموش هستند که RC بزرگی را در خروجی لچ نتیجه می‌دهند. بنابراین ترانزیستورهای MN_2 و MN_1 که تشکیل فیدک مثبت می‌دهند، سریعتر می‌توانند خروجی‌ها را لچ کنند. از مزایای دیگر این طرح نیاز به ولتاژ تغذیه کمتر است. زیرا ترانزیستورهای دم به صورت گیت مشترک بایاس شده‌اند. ولتاژ تغذیه می‌تواند تا $v_{tp}+v_{ov}$ پایین بیاید.



شکل 4: مقسم فرکانس وونگ [6]

در بین مقسم‌های فرکانس ساخته شده بر اساس لچ مقسم فرکانس TSPC متفاوت با بقیه است. مدار این مقسم فرکانس در شکل 7 نشان داده شده است.



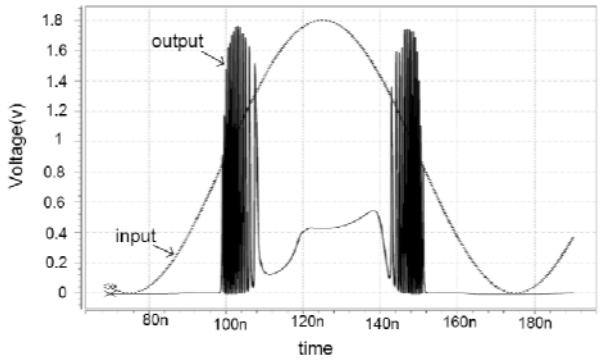
شکل 7: مقسم فرکانس TSPC

در این مدار در لبه‌های بالا رونده و پایین رونده ورودی، خروجی یکی از طبقات تغییر می‌کند که نتیجه آن تغییر خروجی به ازای دو بار تغییر در ورودی و نهایتا تقسیم فرکانس ورودی بر دو است.

مصرف توان این مدار بسیار کم است زیرا هیچ‌کدام از ترانزیستورها در ناحیه فعال بایاس نمی‌شوند و بنابراین مصرف توان استاتیک مدار قابل صرف‌نظر کردن است. به علاوه هیچ مسیر مستقیم جریانی بین Vdd و Gnd در لحظات تغییر ولتاژ گره‌های مدار وجود ندارد.

با وجود این مقسم فرکانس TSPC دارای دو مشکل عمده است. اولا مدار در فرکانس‌های پایین به درستی کار نمی‌کند. در حقیقت کمترین فرکانس کاری مدار وابسته به جمع تاخیرهای سه طبقه ترانزیستوری تشکیل دهنده مقسم فرکانس است.

می‌توان با اضافه کردن خازن‌های بزرگ در گره‌های داخلی و خارجی مدار، تاخیر طبقات را افزایش داد و در نتیجه حداقل فرکانس کاری آن را کاهش داد. اما این عمل به خازن‌های نسبتا بزرگی احتیاج دارد و به بزرگ شدن سطح تراشه می‌انجامد که نامطلوب است. شبیه‌سازیها نشان می‌دهند که برای کاهش فرکانس کاری مینیمم از 500MHz به 50MHz سه خازن به بزرگی 35fF باید در گره‌های n1، n2 و out قرار داده شوند.



شکل 8: ورودی و خروجی مدار شکل 1 در فرکانس‌های پایین

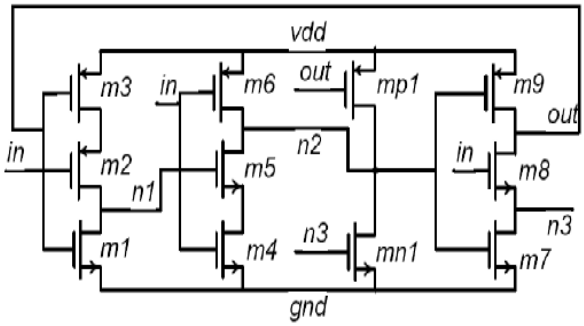
مشکل دوم مقسم فرکانس TSPC به ازای دامنه سیگنال ورودی کوچک رخ می‌دهد. هنگامی‌که دامنه سیگنال ورودی کوچک باشد و این سیگنال حول Vdd/2 تغییر کند، مدار ناپایدار می‌شود و به نوسان می‌افتد. در شکل 8 ورودی و خروجی مدار شکل 7 در حالتی که یک ورودی با فرکانس پایین به آن اعمال شود نشان داده شده است. همان‌طور که دیده می‌شود هنگامی که ورودی حول Vdd/2 تغییر می‌کند، خروجی به نوسان می‌افتد. علت این پدیده این است که در حالتی که ورودی حول Vdd/2 تغییر می‌کند، هر کدام از طبقات مدار به یک معکوس کننده

تبدیل می‌شود و مدار مانند یک نوسان‌ساز حلقوی سه طبقه عمل کرده و به نوسان می‌افتد.

مشکل ایجاد نوسان در مقسم فرکانس در فرکانس‌های پایین یک مشکل جدی است. به عنوان مثال در صورتی که این مقسم فرکانس در یک حلقه قفل فاز استفاده شود، در صورتی که به علت خاصی دامنه ورودی مقسم فرکانس کم شود و یا فرکانس آن پایین بیاید، مقسم فرکانس به نوسان خواهد افتاد و در خروجی آن سیگنالی با فرکانس زیاد خواهیم داشت. در این وضعیت حلقه قفل فاز در پی دنبال کردن این سیگنال به یک حالت ناخواسته رانده می‌شود. بنابراین ایجاد نوسان در مقسم فرکانس پهنای باند حلقه قفل فاز را محدود می‌کند.

3- مقسم فرکانس پیشنهادی

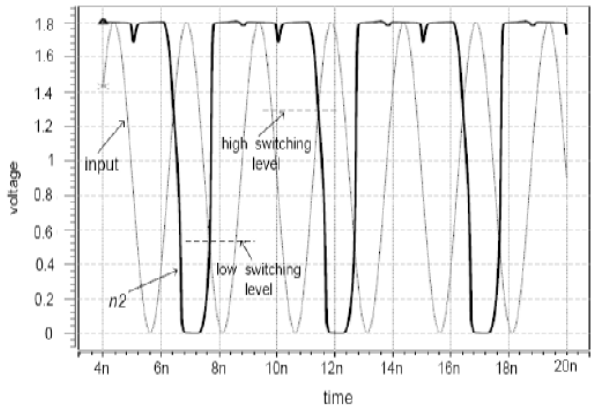
برای برطرف کردن مشکلات مقسم فرکانس TSPC ما یک مدار اشمیت تریگر به آن اضافه کرده‌ایم. در واقع اشمیت تریگر با مقسم فرکانس TSPC ادغام شده است. مدار پیشنهادی در شکل 9 نشان داده شده است. ترانزیستورهای m4، m6، mn1، mp1 ، m7 و m9 تشکیل یک مدار اشمیت تریگر را می‌دهند. در واقع شرط عمل‌کرد این ترانزیستورها به عنوان اشمیت تریگر این است که تر انزیستور m8 روشن باشد.



شکل 9: مقسم فرکانس پیشنهادی

تنها ترانزیستورهای mp1، mn1 برای شکل دهی اشمیت تریگر به مدار TSPC اضافه شده‌اند. همان‌طور که دیده می‌شود گیت ترانزیستور mn1 به گره n3 متصل است در حالیکه انتظار می‌رود که برای عمل کردن بهتر مدار اشمیت تریگر باید به گره خروجی متصل باشد. در واقع این کار برای جلوگیری از ایجاد عبور جریان مستقیم بین Vdd و Gnd در مواقع خاصی از کار مدار است. در نتیجه این کار مصرف توان مدار کاهش می‌یابد.

اضافه کردن ترانزیستورهای mn1 و mp1 دو فایده دارد. اول اینکه ولتاژ سوییچ معکوس کننده طبقه دوم به صورت دینامیک تغییر می‌کند. این مطلب در شکل 10 نشان داده شده است. در این شکل ولتاژ گره n2 به همراه ولتاژ ورودی رسم شده است. همان‌طور که در شکل دیده می‌شود هنگامی که ورودی در حال بالا رفتن باشد، ولتاژ سوییچ معکوس کننده تقریبا برابر 1.3v است. در حالیکه هنگامی‌که ورودی در حال پایین رفتن است، این ولتاژ



شکل 10: ولتاژ گره n2 به همراه ولتاژ ورودی

برابر 0.5v است. این پدیده باعث به وجود آمدن یک حلقه هیسترزیس در مشخصه ورودی-خروجی طبقه دوم می‌شود. در نتیجه این خصوصیت مدار پایدارتر شده و هنگامی که یک ورودی سینوسی به آن اعمال شود و یا تغییرات ورودی حول Vdd/2 باشد، مدار به نوسان نمی‌افتد.

فایده دوم اضافه کردن دو ترانزیستور اضافه شدن تاخیر طبقه دوم است که نتیجه آن کم شدن فرکانس کاری مینیمم است. اضافه شدن تاخیر نتیجه‌ای از ولتاژ سوییچینگ دینامیک است زیرا ولتاژ ورودی طبقه دوم باید تغییر بیشتری داشته باشد تا خروجی این طبقه را تغییر دهد و بنابراین تاخیر افزایش می‌یابد.

در ادامه به بررسی نحوه کار مدار می‌پردازیم. در ابتدا فرض می‌شود که ولتاژهای ورودی و خروجی هر دو صفر هستند. در این حالت به علت روشن بودن m2 و m3 ولتاژ گره n1 برابر Vdd است. این رویداد سبب روشن شدن m5 می‌شود که نتیجه آن این است که طبقه دوم مانند یک معکوس کننده عمل کند. با لبه بالا رونده in ولتاژ گره n2 به سمت صفر می‌رود. به علت روشن شدن m8 این رویداد سبب می‌شود که ولتاژ گره خروجی به سمت Vdd برود. به علت روشن بودن ترانزیستور m8 ، ولتاژ گره n3 با ولتاژ خروجی تقریباً برابر است و فیدبک مثبت مدار اشمیت تریگر برقرار شده به ازای مقدار مشخصی از ولتاژ گره n2 خروجی به سرعت به سمت Vdd می‌رود. با Vdd شدن خروجی ترانزیستور m1 روشن شده و ولتاژ گره n1 صفر می‌شود و m5 خاموش می‌شود. در لبه پایین رونده ورودی، m6 روشن شده و

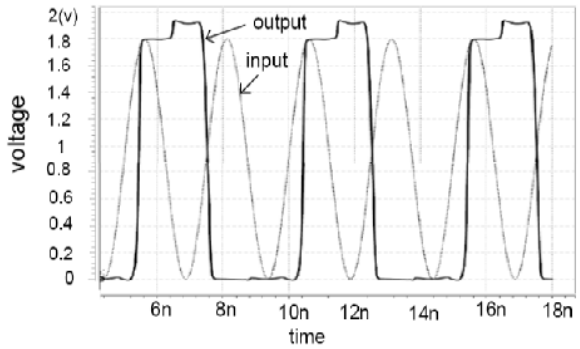
گره n2 را تا Vdd شارژ می‌کند. به علت قطع بودن ترانزیستور m8 ولتاژ خروجی تغییری نمی‌کند. در لبه بالا رونده بعدی in ترانزیستور m8 روشن شده ولتاژ خروجی به صفر می‌رسد(فیدبک مثبت تاثیری در صفر شدن خروجی ندارد). با صفر شدن خروجی ترانزیستور m1 قطع شده و ترانزیستور m3 در ترایود قرار می‌گیرد. در لبه پایین رونده بعدی in، m2 روشن شده و گره n1 تا Vdd شارژ می‌شود و متعاقب آن m5 روشن شده ولی به علت صفر بودن in، ولتاژ n2 تغییری نمی‌کند.. ترانزیستور m8 قطع شده، گره خروجی در حالت امپدانس بالا قرار می‌گیرد. در لبه بالارونده بعدی ورودی، ولتاژ گره n2 به سمت صفر می‌رود، فیدبک مثبت برقرار شده و ولتاژ خروجی را به Vdd می‌رساند که این حالت شبیه به حالتی است که در ابتدا توضیح داده شد. مدار به همین روال به کار خود ادامه می‌دهد. همان‌طور که دیده می‌شود به ازای هر لبه بالارونده ورودی، خروجی معکوس می‌شود که این عمل تقسیم فرکانس به دو را سبب می‌شود.

در حالتی که ولتاژ ورودی حول Vdd/2 تغییرات آرامی داشته باشد و یا دامنه نوسانات آن کم باشد با انتخاب مناسب W/L ترانزیستورهای mn1 و mp1 و در مقابل آنها ترانزیستور m8 می‌توان از ایجاد نوسان در مدار جلوگیری می‌کرد. در واقع یک مصالحه بین مصرف توان و پایداری در مدار وجود دارد. با بزرگ کردن W/L ترانزیستورهای mn1 و mp1 نسبت به ترانزیستور m8 پایداری مدار بیشتر شده ولی در عوض توان مصرفی مدار افزایش می‌یابد.

4- نتایج شبیه‌سازی

مقسم فرکانس TSPC و مقسم فرکانس پیشنهادی در فرآیند 0.18µm CMOS شبیه‌سازی شد. رنج کاری مقسم فرکانس TSPC برابر 500MHz-6Gz بدست آمد در حالیکه برای مقسم فرکانس پیشنهادی این پارامتر برابر 50MHz-2GHz است. واضح است که مدار پیشنهادی می‌تواند در فرکانس‌های بسیار پایین-تری کار کند. برای تست مدار در فرکانس‌های پایین‌تر از 50MHz یک ورودی سینوسی با فرکانس 100KHz به مدار پیشنهادی اعمال شد. مشاهده شد که مدار نمی‌تواند عمل تقسیم فرکانس را به درستی انجام دهد ولی مدار هنوز پایدار است و دچار نوسان نمی‌شود.

به ازای فرکانس ورودی 400MHz که فرکانس استاندارد ارسال داده برای سیستم‌های پزشکی کاشتنی بیسیم است، توان مصرفی مدار پیشنهادی 17µW است. دراین حالت ولتاژهای ورودی و خروجی مدار در شکل 11 نشان داده شده‌اند.



شکل 11: شکل‌موج‌های ورودی و خروجی مدار پیشنهادی

در جدول 1 نتایج شبیه‌سازی 7 مدار مقسم فرکانس در فرکانس ورودی 400MHz و ولتاژ تغذیه 1.8(v) نشان داده شده است. همان‌طور که دیده می‌شود مدار پیشنهادی پایین‌ترین مصرف توان در حالتیکه شکل موج ورودی سینوسی باشد را داراست. تنها مداری که دارای توان مصرفی کمتری نسبت به مدار پیشنهادی است مدار TSPC است که همان‌طور که گفته شد این مدار به ازای ورودی سینوسی به خوبی عمل نمی‌کند.

Circuit name	P_{square} (µw)	P_{sine} (µw)
West and Eshraghian [2]	64	75
Fujishima [3]	47	53
Razavi [4]	112	76
Chen [5]	97	74
Wong [6]	261	291
TSPC [1]	6	NA
Proposed circuit	12	17

جدول 1: مقایسه توان مصرفی چند مقسم فرکانس با مقسم فرکانس پیشنهادی

5- نتیجه‌گیری

یک مقسم فرکانس دینامیک با پایداری بهبود یافته ارایه شده است. این مقسم فرکانس توانایی کار در رنج فرکانسی 50MHz-2GHz را داراست. توان مصرفی این مقسم فرکانس در فرکانس

400MHz (که فرکانس استاندارد کاری فرستنده در قطعات کاشتنی بیسیم پزشکی است) 17μW است. این مدار توانایی دریافت شکل موج سینوسی به عنوان ورودی را داراست.

مراجع

[1] Ji-Ren,Y., Karlsson,I., and Svensson,C, 'A True Single-Phase-Clock Dynamic CMOS Circuit Technique', IEEE J.Solid-State Circuits, SC-22, (5), pp. 899-901, 1987

[2] Weste, N., and Eshraghian,K.: 'principles of CMOS VLSI design: A system perspective' (Addision-Wesley, Reading, MA, 1985).

[3] Fujishima,M., Asada,K., Omura,Y., and Izumi,K.: "Low Power ½ Frequency Dividers Using 0.1μm CMOS Circuits Built With Ultra thin SIMOX Substrates', IEEE J.Solid-State Circuits, 1993, 28, (4), pp.510-512.

[4] Razavi,B., Lee,K., and Yan,R.: 'Design Of High-speed, Low-power Frequency Dividers and Phase-locked Loops in Deep Submicron CMOS', IEEE J.Solid-State Circuits, 1995, 30, (2), pp. 101-109.

[5] Chen,R.: 'High-speed CMOS Frequency Divider', Electronics Letters, 1997, 33, (22), pp. 1864-1865.

[6] Wong,J., Cheung,V., Luong,H.: 'A 1-v 2.5-mw 5.2-GHz Frequency Divider in a 0.35μm CMOS Process', IEEE J.Solid-State Circuits, 2003, 38, (10), pp. 1643-1648

[7] Shao-Hua,Lee., Sheng-Lyang,Jang., Yun-Hsueh,Chung., and Chung-Ching,Chiu.: 'A Frequency Divider Implemented With a Subharmonic Mixer and a Divide-by-Two Divider' , IEEE Microwave and Wireless Components Letters, 2006, 16, (12), pp. 699-701

[8] Moustafa,Ali., and Hegazi,Emad.: 'A Multigigahertz Multi-modulus Frequency Divider in 90-nm CMOS' , IEEE Transactions on Circuits and Systems, 2006, 53, (12), pp. 1333-1337