

بررسی عملکرد یک ترانزیستور ترکیبی BJT و FET لایه نازک

ابراهیمی، زهرا^۱; حسینی، سید ابراهیم^۲

^۱دانشکده مهندسی دانشگاه تربیت معلم سبزوار

^۲دانشکده مهندسی دانشگاه تربیت معلم سبزوار

چکیده

در این مقاله یک ترانزیستور لایه نازک جدید را معرفی می‌کنیم. این ترانزیستور حالت دوگانه BJT و FET را همزمان دارد. در این ساختار، ترانزیستور BJT بصورت جانبی ساخته شده و در زیر آن یک اتصال گیت با اکسید نازک قرار داده شده است. جهت بررسی عملکرد ترانزیستور، اثر ولتاژ گیت بر روی I_C و I_B مطالعه شده است. مهمترین ویژگی این ترانزیستور کنترل بهره با تغییر ولتاژ گیت است. شبیه سازی نشان می‌دهد که افزایش ولتاژ گیت باعث افزایش I_C و β و کاهش I_B می‌گردد.

Performance study of a thin film transistor combining FET and BJT

Ebrahimi, Zahra; Hosseini, Seyed Ebrahim

Engineering Department, Sabzevar Tarbiat Moallem University, Sabzevar

Abstract

In this paper we introduce a new thin film transistor. This transistor has FET and BJT modes of operation simultaneously. In this structure, a lateral bipolar transistor is designed with a back-side gate underneath a thin buried oxide. To evaluate the transistor performance, the effect of the gate voltage on the collector (I_C) and base (I_B) currents, and the current gain is studied. The most important feature of the proposed transistor is controlling the current gain via the gate voltage. Simulations show that increasing the gate voltage increases I_C and β and reduces I_B .

PACS No. 73

قطبی پیوندی با اعمال یک جریان به پایه بیس، جریان عبوری بین دو پایه کلکتور و امپیر کنترل می‌شود. در ترانزیستورهای FET با اعمال یک ولتاژ به پایه گیت میزان جریان عبوری از دو پایه سورس و درین کنترل می‌شود [۲ و ۳]، در نتیجه بجای استفاده از مقاومت و خازن و... در مدارات مجتمع تماماً از ترانزیستور استفاده می‌شود. در این مقاله، ترانزیستور لایه نازک جدیدی ارائه می‌شود که تلفیقی از BJT و FET است و با اعمال ولتاژ به گیت، بهره ترانزیستور دوقطبی کنترل می‌شود، به این صورت که با افزایش ولتاژ گیت، عرض بیس کم می‌شود و الکترون‌های بیشتری از امپیر به کلکتور می‌روند.

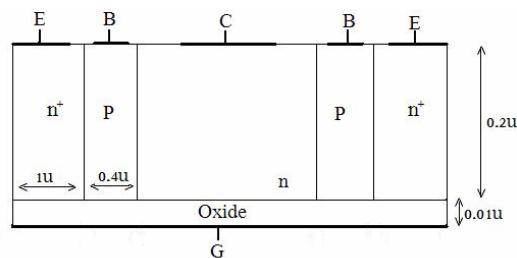
مقدمه

ترانزیستورهای دوقطبی (BJT) و اثر میدان (FET) فناوریهای اصلی در ساخت ترانزیستور به عنوان عنصر تقویت کننده هستند. اعمال جریان در یک BJT و ولتاژ در یک FET در پایه ورودی، رسانایی خروجی را کنترل می‌کند، از اینرو سبب کنترل جریان خروجی و تقویت ولتاژ می‌شود [۱]. در مدارهای آنالوگ، ترانزیستورها عموماً بصورت تقویت کننده و در مدارهای دیجیتال بصورت سوئیچ استفاده می‌شوند، در هر صورت بهره تقویت از مهمترین پارامترهای طراحی است. در ترانزیستور دو

بیس و در نتیجه امیتر افزایش می‌یابد، بنابراین خاصیت دوقطبی نسبت به خاصیت FET غالب می‌شود. افزایش ولتاژ گیت باعث می‌شود در نزدیک اکسید یک کانال (ناحیه وارونگی) تشکیل شود که این کانال جریان بین امیتر و کلکتور را ایجاد می‌کند. در ابتدا که ولتاژ گیت کم است جریان کلکتور بخوبی در ترانزیستور ایجاد می‌شود. با افزایش ولتاژ گیت، بخاطر اثر میدانی که ایجاد می‌شود، جریان درین در ترانزیستور بوجود می‌آید که باعث افزایش جریان کلکتور می‌شود. در جریان‌های زیاد، افزایش ولتاژ بیس باعث نفوذ حفره‌ها و در نتیجه کاهش ناحیه تخلیه می‌شود و موجب افزایش بازترکیب الکترون‌ها و حفره‌ها شده و در نتیجه، به دلیل افزایش عرض بیس (پدیده Base Push Out) جریان بیس زیاد و بهره جریان کم می‌شود [۵]. افزایش ولتاژ گیت، باعث روشن شدن ترانزیستور فت و برقراری جریان از طریق کانال آن می‌گردد و باعث کاهش جریان بیس و افزایش بهره می‌شود. رابطه $I_C = \beta I_B$ نیز افزایش بهره را نشان می‌دهد. در یک ولتاژ گیت ثابت، وقتی ولتاژ بیس کوچک است، I_B کوچک اما I_C بزرگ است. بنابراین β بزرگ است. (شکل ۴ را بینید) که به ازای $V_G = 1$ بهره به مقدار بزرگی می‌رسد. در بایاس معکوس و در ناحیه تخلیه با تولید حامل‌ها روبرو هستیم و جریانی در اثر تولید زوج الکترون-حفره ایجاد می‌گردد. در صورت افزایش بیشتر ولتاژ بایاس و در نتیجه ایجاد میدان قوی با پدیده شکست روبرو خواهیم شد. در بایاس معکوس، حامل‌های اقلیت، حامل جریان هستند. اگر میدان قوی باشد حامل‌های با انرژی زیاد در اثر برخورد با الکترون‌های ظرفیت مقادیر زیادی زوج الکترون-حفره تولید و شکست بهمنی اتفاق می‌افتد. شبیه سازی نشان می‌دهد که ولتاژ شکست ترانزیستور پیشنهادی به تغییر ولتاژ گیت حساس نبوده و برای تمام مقادیر، ولتاژ شکست یکسانی دارد ($V_{BR} = 6.5$ V). نمودار ولتاژ شکست به ازای ولتاژ گیت صفر در شکل (۵) رسم شده است.

ساختار ترانزیستور

ساختمان ترانزیستور پیشنهادی در شکل (۱) رسم شده است. بدنه اصلی ترانزیستور شامل یک ناحیه از نوع سیلیکن است. در زیر سیلیکن، یک لایه اکسید نازک و یک اتصال فلز (گیت) وجود دارد. ناخالصی نواحی n^+ و p^+ برابر $2 \times 10^{19} \text{ cm}^{-3}$ و نواحی n و p به ترتیب با $5 \times 10^{17} \text{ cm}^{-3}$ و $2 \times 10^{16} \text{ cm}^{-3}$ است. ضخامت لایه اکسید $0.01 \mu\text{m}$ ، ضخامت نواحی p و n^+ به ترتیب $0.4 \mu\text{m}$ و $1 \mu\text{m}$ است. شبیه سازی این ترانزیستور با استفاده از نرم افزار Silvaco-Atlas انجام شده است [۴].

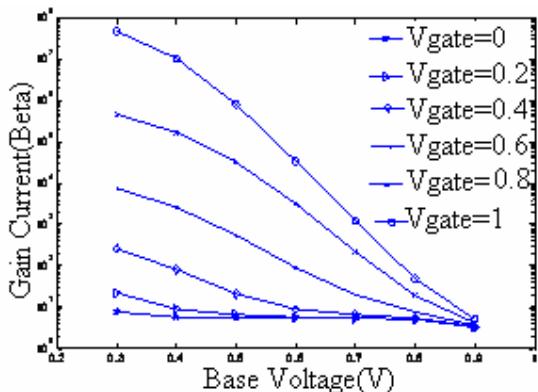
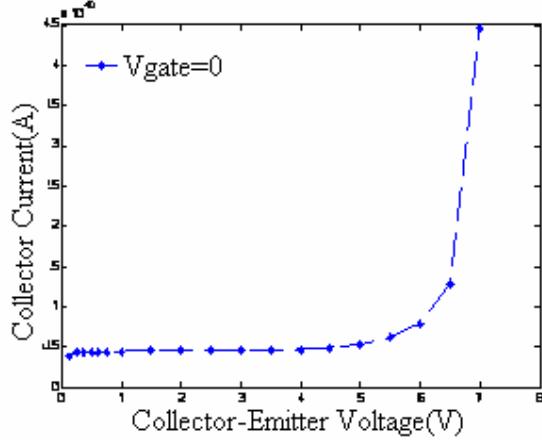


شکل (۱)- ساختمان ترانزیستور پیشنهادی

ترانزیستور پیشنهادی برای $0 \leq V_{BE} \leq 1$ و $0.9 \leq V_{CE} \leq 0.3$ شبیه سازی شده و اثر ولتاژ گیت بررسی شده است.

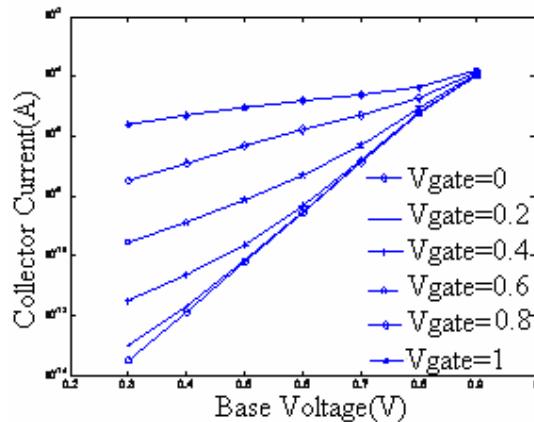
شبیه سازی و بحث

این ترانزیستور خاصیت BJT و FET را همزمان دارد. قسمت بالای آن همانند ترانزیستور دوقطبی و قسمت پایینی آن همانند ترانزیستور اثر میدان عمل می‌کند. نواحی امیتر و کلکتور ترانزیستور دوقطبی، سورس و درین ترانزیستور اثر میدان هستند. اگر ولتاژ گیت صفر باشد، ترانزیستور همانند یک BJT جانبی عمل می‌کند. تشکیل لایه وارونگی در ناحیه بیس و کانال فت که در طرف پایینی ترانزیستور ایجاد می‌شود باعث حرکت الکترون‌های بیشتری در طول کانال از امیتر به سمت کلکتور شده، بنابراین جریان درین-سورس افزایش می‌یابد و در نتیجه باعث افزایش جریان کلکتور می‌شود. (شکل ۲ و ۳ را بینید). وقتی ولتاژ بیس زیاد شود، تزریق حامل‌ها از طریق

شکل (۴): نمودار لگاریتمی بهره بر حسب V_{BE} به ازای $0 \leq V_G \leq 1$ شکل (۵): نمودار ولتاژ شکست به ازای $V_G = 0$

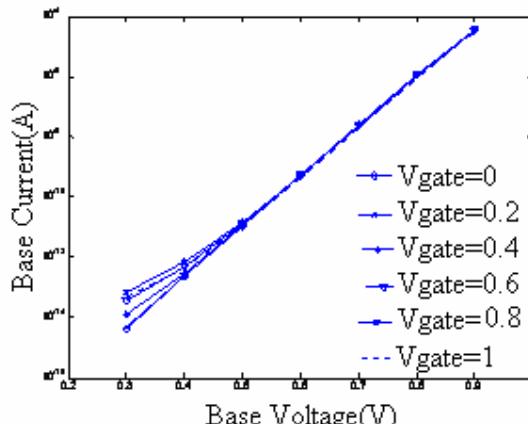
نتیجه گیری

در این مقاله یک ترانزیستور دوقطبی لایه نازک جدید پیشنهاد شد که تلفیقی از BJT و FET است و یک پایه گیت، علاوه بر پایه های ترانزیستورهای دوقطبی دارد. با تغییر ولتاژ گیت، بهره ترانزیستور کنترل می شود. در این ساختار، با افزایش ولتاژ گیت، شیوه ایجاد جریان عوض می شود و بجای اینکه با خاصیت BJT جریان برقرار شود، خاصیت FET جریان را ایجاد می کند. این ترانزیستور بخاطر عملکرد خاص آن امکان کاربرد در مدارهای مختلف از جمله کنترل خودکار بهره، مخلوط کننده و مدولاتور را دارد.

شکل (۲): نمودار لگاریتمی I_C بر حسب V_{BE} به ازای $0 \leq V_G \leq 1$

مرجع ها

- [1] P. G. Carey, P. M. Smith, P. Wickboldt, M. O. Thompson and T. W. Sigmon, *Conference Record of the 1997 International Display Research Conference (Toronto, Canada)*, pp. M36-M39, 1997.
- [2] N.D. Young, R.M. Bunn, R.W. Wilks, D.J. McCullough, G. Harkin, S.C. Deane, M.J. Edwards, and A.D. Pearson, *EURO Display '96*, pp. 555-558, 1996.
- [3] م ، فتحی پور، ع، احسانی اردکانی، "فیزیک الکترونیک"، انتشارات دانشگاه تهران، ۱۳۸۱
- [4] Santa Clara, "ATLAS User's Manual DEVICE SIMULATION SOFTWARE", SILVACO International, September 2004.
- [5] J. V. Grahn and M. Ostling, "Bipolar technology," in *The VLSI Handbook*. Piscataway, NJ: IEEE Press, 2000, Ch. 3, pp. 3-7.

شکل (۳): نمودار لگاریتمی I_B بر حسب V_{BE} به ازای $0 \leq V_G \leq 1$