ارائه یک ترانزیستور دوقطبی با کنترل بهره

سید ابراهیم حسینی
دانشکده مهندسی، دانشگاه تربیت معلم سبزوار، ehosseini@sttu.ac.ir

چکیده - در این مقاله یک ترانزیستور دوقطبی معرفی شده است که بهره جریان آن از طریق یک اتصال گیت قابل تنظیم است. با اتصال ولتاژ مناسب به گیت ترانزیستور، عرض بیس آن تغییر می کند که باعث تغییر بهره آن می شود. ترازیستور بصورت لایه نازک و بر اساس فناوری SOI طراحی شده است. شبیه سازی نشان می دهدکه بهره جریان ترانزیستور با تغییر ولتاژ گیت تا حدود دو برابر تغییر می کند. با توجه به این ویژگی، کاربردهای بالقوه زیادی برای این ترانزیستور وجود دارد.

کلید واژه- ترانزیستور دوقطبی، کنترل بهره جریان، اثر میدان.

۱- مقدمه

در فناوری نیمه هادی، هم ترانزیستورهای دوقطبی و هم ترانزیستورهای اثر میدان برای کاربردهای مختلف آنالوگ و دیجیتال مورد نیاز هستند. هر کدام از این دو ترانزیستور ویژگیها و برتریهای خاص خود را دارد. در واقع این دو فناوری مکمل یکدیگر هستند. در فناوری BiCMOS از هر دو نوع ترانزیستور در کنار هم استفاده می شود تا از برتریهای هر دو برای ساخت مدارهای پیچیده تر و مناسب تر استفاده شود [۱]. در کاربردهای RF ترانزیستورهای دوقطبی نسبت به ترانزیستورهای اثر میدان برتری دارند [۲] اما از نظر تعداد ترانزیستور در یک تراشه فناوری MOS غالب است.

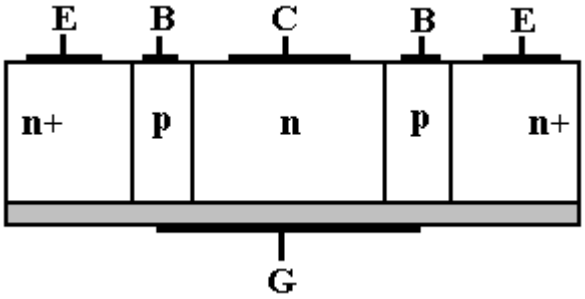
ساختار SOI حوزه وسیع و تازه ای را در فناوری نیمه هادی پیش رو قرار داده است، که در آن می توان ترانزیستورهایی با ابعاد بسیار کوچک ساخت. در این ساختار، لایه نازکی از نیمه هادی بر روی عایق رشد داده شده و ترانزیستور در این لایه نازک ساخته می شود [۳]. در ترانزیستورهایی که به این روش ساخته می شوند، عناصر پاراسیتیک کوچکتر هستند که سبب می شود فرکانس قطع ترانزیستور بزرگتر گردد. گذشته از آن اثرات کانال کوتاه در این ترانزیستورها کمتر از ترانزیستورهای ساخته شده در عمق است [۴].

برای افزایش بهره ترانزیستورهای دوقطبی از پیوند ناهمگون در بیس-امیتر استفاده می شود [۵]. از آنجا که مجتمع سازی دو نوع ترانزیستور در یک تراشه اهمیت و ضرورت دارد [۶]، ترانزیستورهای دوقطبی بر مبنای SOI ساخته و مطالعه می شوند، زیرا در ساخت تراشه های SoC کاربرد دارند [۷]. ترانزیستورهای دوقطبی SOI هم مشخصات مناسب دوقطبی (نظیر جریان و بهره زیاد) را دارند و هم مجتمع سازی آنها همراه با ترانزیستورهای اثر میدان امکان پذیر است. در [۸] ساختاری پیشنهاد شده است که تلفیقی از ترانزیستورهای دوقطبی و اثر میدان است. در این ساختار هم ترانزیستور دوقطبی و هم ترانزیستور اثر میدان روشن شده و جریان را کنترل می کنند. در واقع در ترانزیستور مرجع [۸] بهره جریان متغیر به دلیل روشن شدن ترانزیستور اثر میدان اتفاق می افتد.

در این مقاله یک ترانزیستور دوقطبی بر پایه SOI ارائه می گردد که بهره جریان آن با استفاده از یک گیت که در زیر ترانزیستور قرار دارد کنترل می شود. در این ساختار، ترانزیستور اثر میدان هیچگاه روشن نمی شود و اتصال گیت فقط مشخصات ترانزیستور دوقطبی را تغییر می دهد. در بخش ۲ ساختار این ترانزیستور معرفی شده است. در بخش ۳ مشخصات ترانزیستور که از شبیه سازی بدست آمده مورد بررسی قرار می گیرد. شبیه سازی نشان می دهد که با تغییر ولتاژ بیس، بهره ترانزیستور تغییر می کند. در بخش ۴ خلاصه نتایج مقاله بیان می شود.

۲- ساختار ترانزیستور پیشنهادی

در شکل (۱) ساختمان ترانزیستور پیشنهادی دیده می شود. این ساختار یک عنصر چهار پایه است که قسمت اصلی آن یک ترانزیستور دوقطبی جانبی است و بر روی یک لایه اکسید نازک ساخته شده است. این اکسید نقش اکسید گیت را دارد و در زیر آن یک اتصال فلزی (گیت) قرار گرفته است. ضخامت لایه فعال ترانزیستور ۰/۴ میکرون و ضخامت اکسید ۱۰ نانومتر است. ترانزیستور بصورت متقارن با دو ناحیه بیس و امیتر و یک ناحیه کلکتور در نظر گرفته شده است. استفاده از دو بیس سبب کاهش تجمع جریان می گردد. در شکل (۱) عرض بیس، امیتر و کلکتور به ترتیب ۰/۴، ۱ و ۱/۸ میکرون است. ناخالصی این سه ناحیه نیز به ترتیب 10^{17}، 5×10^{18} و 10^{16} است. عرض فلز گیت به گونه ای است که نیمی از پهنای نواحی بیس را می پوشاند.



شکل (۱) – ساختمان ترانزیستور پیشنهادی

در ترانزیستور دوقطبی هر چه پهنای بیس کمتر باشد، بازترکیب حاملهای تزریق شده از امیتر کمتر شده و بهره ترانزیستور افزایش می یابد. بازده تزریق امیتر و ضریب انتقال بیس در یک ترانزیستور دوقطبی npn از روابط (۱) و (۲) بدست می آیند:

$$\gamma \approx \left[1+\frac{N_B \mu_p W_b}{N_E \mu_n L_p}\right]^{-1} \qquad (۱)$$

$$B = \frac{1}{\cosh\left(\frac{W_b}{L_n}\right)} \qquad (۲)$$

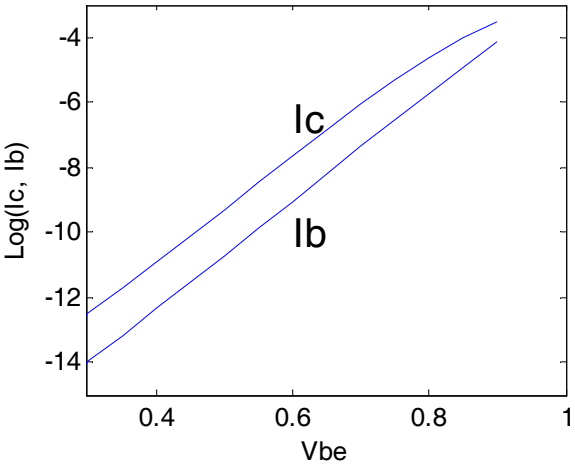
که در این روابط N_B و N_E چگالی ناخالصی بیس و امیتر، μ_p و μ_n موبیلیتی حفره در امیتر و موبیلیتی الکترون در بیس، W_b عرض بیس و L_p و L_n طول نفوذ حفره در امیتر و طول نفوذ الکترون در بیس است. بهره جریان بیس مشترک ترانزیستور $\alpha=\gamma B$ و بهره جریان امیتر مشترک $\beta=\alpha/(1-\alpha)$ است. از روابط فوق واضح است که هر چه عرض بیس کوچکتر باشد، بهره ترانزیستور بیشتر می شود.

۳- عملکرد ترانزیستور

در شکل (۱)، اگر اتصال گیت وجود نداشته باشد، یک ترانزیستور دوقطبی خواهیم داشت. نقش اتصال گیت، کنترل عرض بیس و در نتیجه کنترل بهره ترانزیستور است. وقتی که ولتاژ گیت صفر (یا منفی) است، عرض ناحیه بیس همان مقداری است که ناخالصی ناحیه بیس تعیین می کند. به این ترتیب بهره ترانزیستور نیز با توجه به ناخالصی های تزریق شده مشخص می شود. اما وقتی ولتاژ گیت مقدار مثبت مناسبی قرار داده شود، در بالای گیت الکترونها تجمع پیدا می کنند. به عبارت دیگر در قسمتی از بیس (ناحیه p) که بالای گیت قرار دارد، لایه وارونگی تشکیل می شود. این لایه باعث می شود که بخشی از ناحیه p بیس به n تبدیل شود. قسمتی از بیس که به n تبدیل شده است، جزئی از کلکتور می گردد. حاصل این تغییرات کاهش عرض مفید بیس است. با کاهش عرض بیس، با توجه به روابط (۱) و (۲)، بهره ترانزیستور افزایش می یابد.

برای بررسی عملکرد ترانزیستور، ساختار شکل (۱) با استفاده از نرم افزار SILVACO شبیه سازی شده است. به این منظور ولتاژ گیت از -1V تا 2.5V تغییر داده شده و بهره ترانزیستور بررسی شده است.

شکل (۲) منحنی گامل ترانزیستور را در فاصله $0.3V \le V_{BE} \le 0.9V$ و برای ولتاژ گیت $V_G=0$ نشان می دهد. بهره ترانزیستور تقریباً ۲۵ است. با توجه به عرض بیس کوچک، حتی در ولتاژ کم نیز بهره کاهش چندانی ندارد. در ولتاژ بیس بالا، با شروع اثرات تزریق زیاد، بهره ترانزیستور کاهش می یابد.

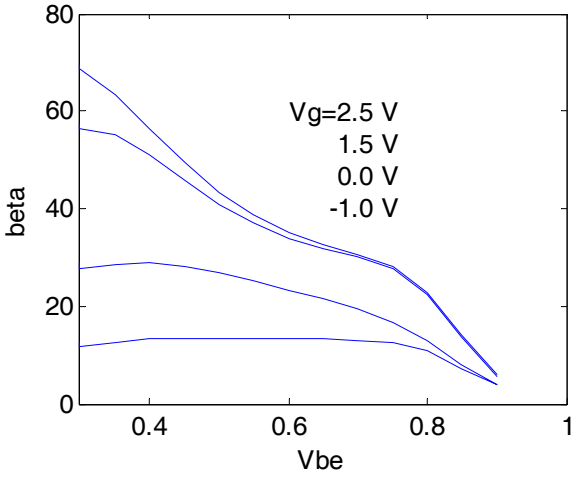


شکل (۲) – منحنی گامل ترانزیستور برای $V_G=0$

در شکل (۳) بهره جریان ترانزیستور در فاصله $0.3V \le V_{BE} \le 0.9V$ و برای مقادیر مختلف ولتاژ گیت رسم شده است. در

ولتاژ گیت صفر، بهره حدود ۲۵ است. با افزایش ولتاژ گیت، همانطور که بیان شد، در بخشی از بیس که در بالای گیت قرار داد، ناحیه وارونگی تشکیل می گردد، یعنی قسمتی از بیس به n تبدیل شده و باعث می شود عرض مفید بیس کاهش یابد، که حاصل آن افزایش بهره است. در ولتاژ گیت V_G=1.5V بهره به بیش از ۴۰ افزایش می یابد. افزایش ولتاژ گیت تا 2.5V بهره را اندکی افزایش می دهد، که در شکل (۳) دیده می شود. اما افزایش بیشتر ولتاژ گیت تاثیری بر بهره ندارد، زیرا ناحیه وارونگی تشکیل شده است و افزایش بیشتر ولتاژ گیت تاثیری بر عرض بیس ندارد.

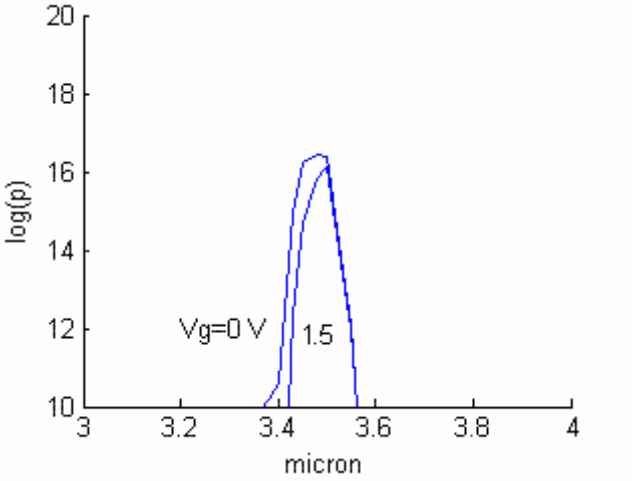
اگر ولتاژ گیت از صفر کمتر شود، تا حدود V_G=-1V بهره کاهش می یابد و به کمتر از ۲۰ می رسد. علت کاهش بهره تجمع حفره ها در زیر کلکتور است که باعث می شود در بخشی از ضخامت ترانزیستور، عرض بیس بیشتر شود. کاهش بیشتر ولتاژ گیت تقریباً تاثیری بر بهره ندارد.



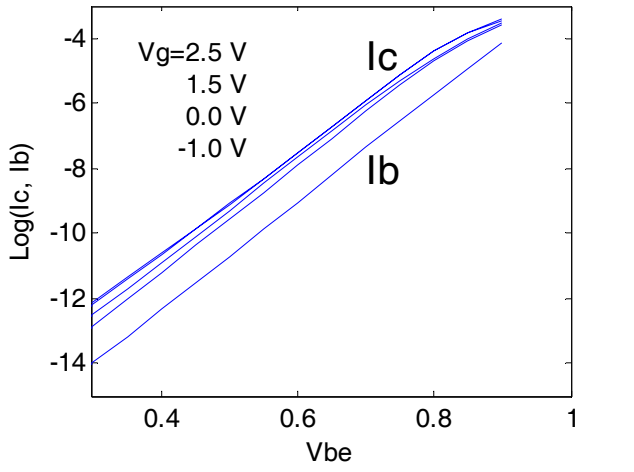
شکل (۳) – بهره جریان ترانزیستور برای چند مقدار ولتاژ گیت

شکل (۴) چگالی حفره در ناحیه بیس برای دو مقدار ولتاژ گیت را نشان می دهد. همانطور که دیده می شود، در ولتاژ گیت V_G=1.5V عرض ناحیه p که همان عرض بیس است، کاهش یافته است. این کاهش عامل افزایش بهره ترانزیستور است. لازم به ذکر است که شکل (۴) چگالی حفره مربوط به بیس سمت راست (شکل (۱)) را نشان می دهد، در مورد بیس سمت چپ نیز همین اتفاق می افتد.

در شکل (۵) منحنی گامل ترانزیستور برای چند مقدار ولتاژ گیت رسم شده است. در این شکل دیده می شود که با افزایش ولتاژ گیت، جریان بیس ثابت می ماند (منحنی های جریان بیس روی هم قرار می گیرند)، اما جریان کلکتور زیاد می شود که حاصل آن افزایش بهره است. جریان بیس عمدتاً از حاملهای تزریق شده از بیس به ناحیه امیتر تشکیل می شود. میزان این تزریق حامل به چگالی ناخالصی بیس بستگی دارد و مستقل از عرض بیس است. به همین دلیل جریان بیس ثابت است. اما جریان کلکتور به عرض بیس وابسته است و با کاهش عرض بیس افزایش می یابد.



شکل (۴) – چگالی حفره در بیس



شکل (۵) - منحنی گامل ترانزیستور برای چند مقدار ولتاژ گیت

۴- نتیجه گیری

ترانزیستوری که در این نوشته پیشنهاد شده است این قابلیت را دارد که با اتصال ولتاژ به پایه چهارم یعنی گیت، بهره آنرا کنترل نمود. وقتی ولتاژ گیت از صفر به 1.5V افزایش یابد، بهره ترانزیستور نزدیک به دو برابر می شود. این کنترل بهره کاربردهای بالقوه زیادی مانند میکسر و مدولاسیون را برای این ترانزیستور ایجاد می کند.

مراجع

[1] T. Hashimoto, et. al. “Direction to improve SiGe BiCMOS Technology featureing 200-GHz SiGe HBTand 80-nm GAT CMOS,” in *IEDM Tech. Dig.*, pp. 5.5.1-5.5.4, 2003.

[2] K. Washio, "SiGe HBT and BiCMOS technologies for optical transmission and wireless communication systems," *IEEE Trans. Electron Devices*, Vol. 50, No. 3, pp. 656-668, 2003.

[3] F. J. García Ruiz, et.al., "Equivalent Oxide Thickness of Trigate SOI MOSFETs With High-κ Insulators," *IEEE Trans. Electron Devices*, Vol. 56, No. 11, pp. 2711-2719, 2009.

[4] A. Majumdar, et.al., ", Undoped-Body Extremely Thin SOI MOSFETs with Back Gates," *IEEE Trans. Electron Devices*, Vol. 56, No. 10, pp. 2270-2276, 2009.

[5] S. Fregonese, et.al., "A Compact Model for SiGe HBT on Thin-Film SOI," *IEEE Trans. Electron Devices*, Vol. 53, No. 2, pp. 296-303, 2006.

[6] I-S. Michael Sun, et.al., "Lateral High-Speed Bipolar Transistors on SOI for RF SoC Applications," *IEEE Trans. Electron Devices*, Vol. 52, No. 7, pp. 1376-1382, 2005.

[7] A. Matsuzawa, "RF-SoC – Expectations and Required Conditions," *IEEE Trans. Microwave Theory and Technology*, Vol. 50, No. 1, pp. 245-253, 2002.

[8] Z. Yan, et.al., "Gate-Controlled Lateral PNP BJT: Characteristics, Modeling and Circuit Applications," *IEEE Trans. Electron Devices*, Vol. 44, No. 1, pp. 118-128, 1997.