یک BJT جانبی لایه نازک با بهره بالا بر روی زیرپایه SOI

فرانک همایونی[۱] و سید ابراهیم حسینی[۲]
[۱]دانشکده فنی مهندسی دانشگاه تربیت معلم سبزوار، Faranak.homayouni@gmail.com
[۲]دانشکده فنی مهندسی دانشگاه تربیت معلم سبزوار، ehosseini@sttu.ac.ir

چکیده - در این مقاله یک ساختار *BJT* جانبی دو امیتری متقارن (*SDE LBJT*) روی زیر پایه *SOI* طراحی و بررسی شده است. از توزیع ناخالصی های مناسب جهت بهبود کارآیی ترانزیستور استفاده شده است. شبیه سازی ها نشان می دهد که ترانزیستور خصوصیات *DC* خوبی دارد. همچنین بهره جریان بیش از ۱۵۰۰ با عرض بیس ۰/۲*μm* در جریان پایین بدست آمده است که حدود ۷/۵ برابر بهبود در بهره جریان نسبت به *LBJT* هایی که قبلا گزارش شده، دارد. همچنین جریان راه اندازی و فرکانس کار خوبی بدست آمده است. این نتایج نشان می دهد که ساختار *SDE LBJT* مناسب برای کاربردهای توان کم می باشد.

کلید واژه- BJT جانبی، بهره جریان، SOI.

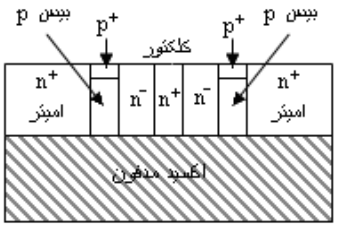
۱- مقدمه

بسیاری از BJTها هنوز مشکل فرایند ساخت پیچیده را دارند، که نتیجه آن هزینه ساخت بالا است. اخیراً، ترکیب CMOS و BJT به شکل یک BJT جانبی به طور گسترده مطالعه شده است [۱ و۲ و۳]. ویژگی های ترکیب LBJT، مجتمع سازی بالا و هزینه پایین فناوری CMOS، و خصوصیات خوش رفتار BJT است. فناوری CMOS پیشرفتهای قابل توجهی در مدارهای RF و سرعت بالا داشته است. بااینحال، ترانزیستورهای دوقطبی سیلیکن نیز مزیت های قابل توجهی در زمینه سرعت، مصرف توان و قابلیت جریان راه اندازی بیش از CMOS ارائه می دهند. فناوری BiCMOS با ترکیب هر دو ترانزیستورهای CMOS و BJT ها باعث بهبود ابعاد، توان و کارآیی ترانزیستورها شده است. LBJT یک محصول فرعی فناوری CMOS، بدون استفاده از هیچ ماسک یا مرحله اضافی می باشد [۴]. از سال ۱۹۸۰ ساخت LBJT های با کارآیی بالا مورد توجه قرار گرفت. اخیراً، SOI LBJT با بکارگیری چند مرحله ماسک گذاری اضافی باعث ایجاد قطعات آنالوگ و دیجیتال بهتری بر روی یک زیرپایه شده است.

تاکنون ساختارهای LBJT گوناگونی توسط محققان پیشنهاد شده است [۵ و۶ و۷ و۸ و۹]، اما هنوز نیاز به ارائه ترانزیستورهای LBJT با کارآیی بالا وجود دارد. یکی از پارامترهای مهم در طراحی ترانزیستور دوقطبی بهره جریان است. با کاهش عرض بیس و کاهش ناخالصی بیس بهره جریان افزایش می یابد. همچنین با استفاده از یک امیتر پلی سیلیکن [۵] یا یک بیس SiGe [۶] نیز بهره جریان افزایش می یابد. هر دو این روش ها به گستردگی استفاده شده اند اما آنها به مراحل ساخت پیچیده ای نیاز دارند. روشهای دیگری نیز جهت افزایش بهره جریان موجود می باشد. در این مقاله یک ساختار LBJT دو امیتری متقارن (SDE LBJT) روی زیر پایه TFSOI مورد ارزیابی قرار گرفته است. ابعاد ترانزیستور کوچک و سازگار با فناوری SOI می باشد.

۲- ساختار پیشنهادی

شکل ۱ ساختار پیشنهادی SDE LBJT را نشان می دهد. ناحیه های امیتر، بیس و کلکتور به طور جانبی بر روی زیرپایه SOI شکل گرفته اند. از یک لایه سیلیکن که بر روی عایق اکسید سیلیکن قرار گرفته است بعنوان ناحیه های امیتر، بیس و کلکتور استفاده شده است. ضخامت این لایه سیلیکن نوع n، ۰/۳μm است. طول ناحیه های امیتر، بیس و کلکتور به ترتیب ۰/۶μm، ۰/۲μm و ۱/۲μm می باشد. و از نواحی نوع p^+ و n^+ برای اتصالهای بیس و کلکتور استفاده شده است. همچنین از توزیع ناخالصی مناسب جهت بهبود کارآیی ترانزیستور استفاده شده است.



شکل ۱: ساختار SDE LBJT روی زیرپایه TFSOI.

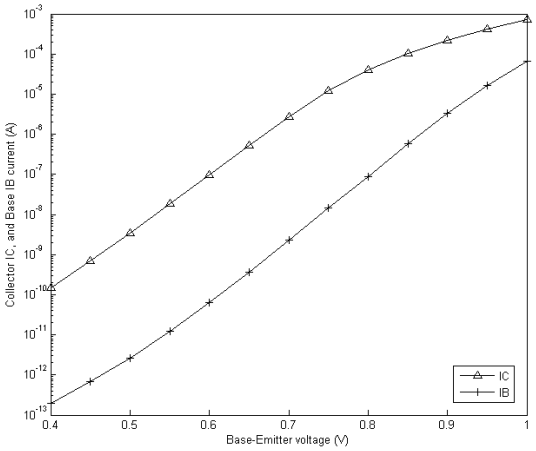
۳- نتایج شبیه سازی ها

با توجه به هزینه بالای فناوری نیمه هادی، طراحی بهینه قبل از ساخت اهمیت زیادی دارد. تمام شبیه سازی ها در این کار بوسیله شبیه ساز دوبعدی Atlas انجام شده و در شبیه سازی ها از مدل های مناسب استفاده شده است. شبیه ساز، رفتارهای الکتریکی ترانزیستور (مثل β و BV_{CEO} و ...) را استخراج می کند. اگر مشخصات ترانزیستور، مشخصات مورد نظر را برآورده نکند، مراحل طراحی و بهینه سازی دوباره تکرار می شوند (مانند تغییر ناخالصی ها یا ابعاد ترانزیستور).

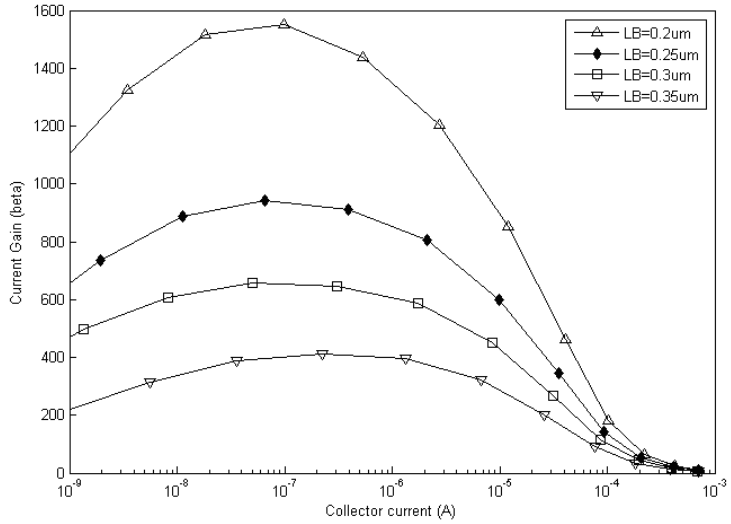
در شکل ۲ منحنی Gummel ساختار SDE LBJT نشان داده شده است، که مقدار جریان بیس و کلکتور را بر حسب مقادیر مختلف ولتاژ بیس _ امیتر نشان می دهد. (V_{CE}=۰/۲V در نظر گرفته شده است). در ولتاژهای V_{BE} کوچک مقادیر I_C و I_B نیز کوچک است اما در ولتاژهای V_{BE} بزرگتر، مقادیر I_C و I_B نیز به دلیل تزریق بیشتر الکترونها از امیتر به بیس افزایش می یابد.

منحنی بهره جریان (β) برحسب جریان کلکتور، برای عرض بیس های مختلف در شکل ۳ نشان داده شده است. همانطور که در شکل دیده می شود این ساختار دو امیتری بهره جریان بزرگی دارد. بهره جریان بزرگ با یک بیس نازک حدود ۰/۲μm بدست می آید. در عرض بیس کوچکتر بازترکیب حاملها در بیس کاهش می یابد در نتیجه بهره بزرگتری حاصل می شود. در تزریق سطح پایین، بهره جریان بزرگتر است (برای ولتاژهای بیس _ امیتر کوچکتر)، اما در جریان و ولتاژهای بزرگتر بهره جریان اشباع می شود. بنابراین ولتاژ بیس نقش مهمی در عملکرد LBJT برای کاربردهای مختلف دارد. در این شکل دیده می شود که در جریانهای کم از مرتبه یک میکروآمپر، بهره جریان بزرگ است. این ویژگی کاربرد این ترانزیستور را در توان پایین میسر می سازد. همچنین در این شکل دیده می شود که با کاهش عرض بیس، حداکثر بهره در جریانهای کمتری رخ می دهد. بنابراین با کاهش عرض بیس، علاوه بر افزایش بهره، جریان نقطه کار مربوط به بیشترین بهره نیز کم می شود، این ویژگی امکان استفاده از ترانزیستور در توانهای بسیار کم را ایجاد می کند. بنابراین به عنوان تقویت کننده می توان توان و دامنه نوسان مناسبی از ترانزیستور بدست آورد.

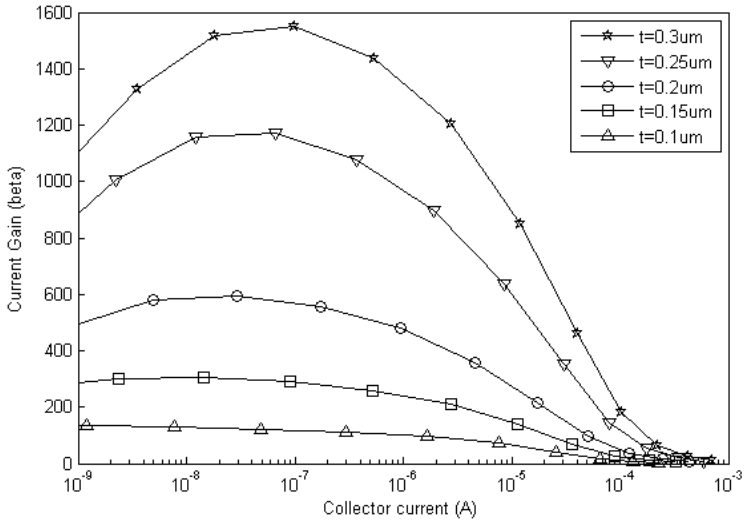
در شکل ۴ منحنی بهره جریان برحسب جریان کلکتور، بازای ضخامتهای مختلف ترانزیستور نشان داده شده است. بهره جریان بازای ضخامتهای متفاوت مقادیر مختلفی دارد. در ضخامتهای بزرگتر بهره جریان مقدار بسیار بزرگی دارد و با کاهش ضخامت ترانزیستور بهره جریان نیز کاهش می یابد اما حداکثر بهره در جریانهای کمتری اتفاق می افتد. در ضخامتهای کمتر لایه سیلیکن، تجمع جریان در لبه های امیتر افزایش می یابد و باعث شروع تزریق شدید در سطوح پایین تر جریان می شود. مشاهده می شود در ضخامت کم نیز، ترانزیستور بهره جریان مناسبی دارد و می توان از این ساختار بعنوان یک ترانزیستور لایه نازک با بهره بالا استفاده کرد.



شکل ۲: منحنی Gummel یک LBJT دوامیتری متقارن با V_C=۰/۲V.



شکل ۳: منحنی بهره جریان بر حسب جریان کلکتور بازای عرض بیس های مختلف و ضخامت ۰/۳μm



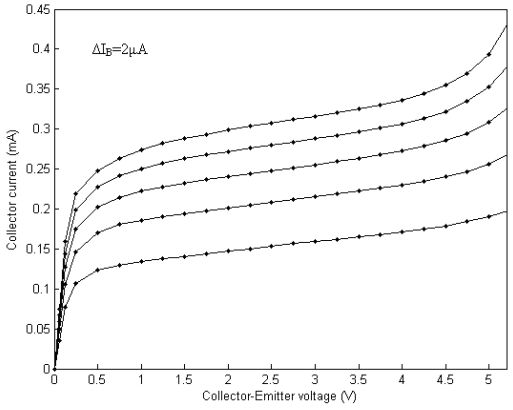
شکل ۴: منحنی بهره جریان بر حسب جریان کلکتور بازای ضخامتهای مختلف ترانزیستور.

شکلهای ۵ و ۶ مشخصه I-V امیتر مشترک ترانزیستور را بازای ضخامت ۰/۳μm و مقادیر مختلف V_{CE} به ترتیب برای عرض بیس های ۰/۳μm و ۰/۲μm نشان می دهند. ملاحظه می گردد که با کاهش عرض بیس ولتاژ شکست کاهش می یابد، بااینحال در این حالت هم با وجود عرض بیس کم، ولتاژ شکست مقدار قابل توجهی دارد که می توان بعنوان تقویت کننده توان و دامنه نوسان مناسبی را داشت.

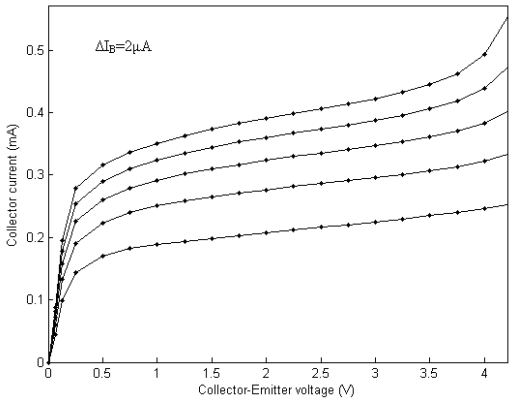
در شکل ۷ مشخصه I-V امیتر مشترک درحالتیکه ضخامت لایه سیلیکن ۰/۱μm است نشان داده شده است. در این حالت ولتاژ شکست حدود ۶/۵V می باشد. دیده می شود که کاهش ضخامت ترانزیستور باعث افزایش ولتاژ شکست می شود.

در حالتیکه عرض بیس ترانزیستور ۰/۲μm است حداکثر فرکانس قطع ۲۰GHz می باشد و با افزایش عرض بیس ترانزیستور فرکانس قطع کاهش می یابد. در حالتیکه عرض بیس ترانزیستور ۰/۳μm است حداکثر فرکانس قطع ۱۳GHz می باشد. اما با کاهش ضخامت ترانزیستور فرکانس قطع کاهش می یابد. در حالتیکه ضخامت ترانزیستور ۰/۱μm است حداکثر فرکانس قطع ۱۶/۶GHz می باشد. معمولاً زمان گذر از بیس بیشترین محدودیت را در افزایش فرکانس قطع ایجاد می کند. در یک ترانزیستور npn زمان τ_t لازم برای نفوذ الکترونها از امیتر به کلکتور می تواند حداکثر فرکانس کاری ترانزیستور را تعیین کند. در حالتیکه عرض بیس ۰/۳μm و ۰/۲μm است فرکانس قطع بترتیب ۱۳GHz و ۲۰GHz بدست آمده است. با کاهش عرض بیس، زمان گذر از بیس حاملها کاهش یافته و باعث افزایش فرکانس قطع می گردد. یکی دیگر از روشهای افزایش فرکانس قطع، کوچک نگه داشتن ابعاد فیزیکی ترانزیستور است.

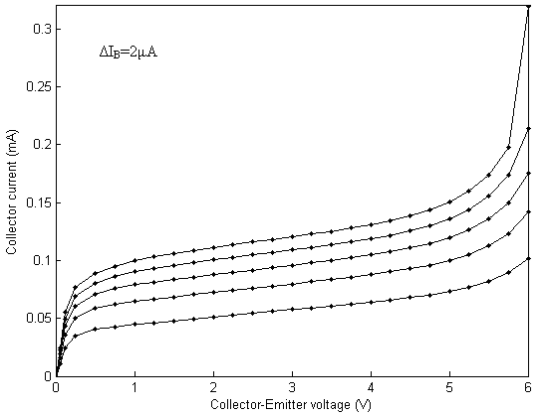
در این حالت هم ظرفیت پیوندها و هم مقاومت مؤثر هر یک از نواحی ترانزیستور کاهش می یابد. در این ترانزیستور از ناحیه های p^+ وn^+ برای اتصالهای بیس و کلکتور استفاده شده است که باعث کاهش مقاومت در این نواحی می شود. در عین حال از ناحیه کلکتور نوع n با ناخالصی کم استفاده شده است که باعث افزایش ولتاژ شکست ترانزیستور می شود. از طرفی ناحیه تهی کلکتور باید تا حد ممکن کوچک باشد تا از زمان گذر حاملهای در حال رانش از پیوند کلکتور کاسته شود. برای این کار از ناحیه کلکتور با ناخالصی کم باریک استفاده شده است.



شکل ۵: مشخصه خروجی SDE LBJT بصورت تابعی از V_{CE} بازای جریانهای مختلف بیس و ضخامت ۰/۳μm و عرض بیس ۰/۳μm.



شکل ۶: مشخصه خروجی SDE LBJT بصورت تابعی از V_{CE} بازای جریانهای مختلف بیس و ضخامت ۰/۳μm و عرض بیس ۰/۲μm.



شکل ۷: مشخصه خروجی SDE LBJT بصورت تابعی از V_{CE} بازای جریانهای مختلف بیس و ضخامت ۰/۱μm و عرض بیس ۰/۲μm.

۴- نتیجه‌گیری

عملکرد یک SDE LBJT جدید روی زیر پایه TFSOI بررسی شده است که در آن یک ساختار دو امیتری متقارن و بیس نازک جهت بهبود عملکرد ترانزیستور استفاده شده است. بهره جریان ترانزیستور در جریان بایاس کم بسیار بالاست. بهره جریان بسیار زیاد، بیش از ۱۵۰۰ برای این ساختار بدست آمده است. ولتاژ شکست ترانزیستور در حدی است که می توان دامنه و توان خروجی مناسبی بدست آورد.

مراجع

[1] Z. Yan, M.J. Deen, D.S. Malhi, "Gate-controlled Lateral PNP BJT: characteristics, modeling and circuit applications," *IEEE T Electron Dev,* 44:118–28, 1997.

[2] A. Sankaran, C. Min, D. J. Allstot, "A lateral-BJT-Biased CMOS voltage-controlled oscillator," *IEEE ISCAS 2004*, I:976–9, 2004.

[3] K. Joardar, "An improved analytical model for collector currents in lateral bipolar transistors," *IEEE T Electron Dev*, 41:373–82, 1994.

[4] R. Gomez, B. Bashir, and G. W. Neudeck, "On the design and fabrication of novel lateral bipolar transistor in a deep-submicron technology," *Microelectronics Journal*, Vol. 31, No. 3, pp. 199-205, 2000.

[5] T. Uchino, T. Shiba, T. Kikuchi, Y. Tamaki, A. Watanabe, and Y. Kiyota, "Very-high-speed silicon bipolar transistors with in-situ doped polysilicon emitter and rapid vapor-phase doping base," *IEEE T Electron Dev*, Vol. 42, pp. 406–412, 2003.

[6] R. J. E. Hueting, J. W. Slotboom, A. Pruijmboo, W. B. deBoer, C. E. Timmerin, and N. E. B. Cowern, "On the optimization of SiGe-base bipolar transistors," *IEEE T Electron Dev*, Vol. 43, pp. 1518–1524, 1996.

[7] G. Shahidi, D. Tang, B. Davari, Y. Taur, P. McFarland, K. Jenkins, D. Danner, M. Rodriguez, A. Megdanis, E. Petrillo, M. Polcari, and T. Ning, "A novel high-performance lateral bipolar on SOI," in IEDM Tech. Dig., pp. 663-666, 1991.

[8] S. A. Parke, C. Hu, P. K. Ko, "A high-performance lateral bipolar transistor fabricated on SIMAX," *IEEE Electron Device Letters*, Vol. 14, No. 1, 1993.

[9] R. Dekker, W. T. A. Van der Einden, and H. G. R. Maas, "An ultra low power lateral bipolar polysilicon emitter technology on SOI," in IEDM Tech. Dig., pp. 75-78, 1993.