بررسی اثر تابع کار گیت سه فلزی بر عملکرد FinFET با کانال احاطه شده توسط گیت

حمیده ذوالفقاری[۱]، سید ابراهیم حسینی[۲]
[۱]دانشگاه تربیت معلم سبزوار، zolfaghari_61@yahoo.com
[۲]دانشگاه فردوسی مشهد، e_ hosseini_98@yahoo.com

چکیده - در این مقاله اثر تابع کار گیت سه فلزی بر روی عملکرد ترازیستور *FinFET* با کانال احاطه شده توسط گیت بررسی شده است . این ساختار توسط *ATLAS Silvaco* شبیه سازی شده و نتایج آن نشان می دهند که با انتخاب فلز با تابع کار مناسب می توان آثار کانال کوتاه را کاهش داد و همچنین به دلیل افزایش کنترل گیت بر روی کانال بار های ناشی از درین در کانال کاهش یافته در نتیجه *DIBL* کاهش می‌یابد و عملکرد زیر آستانه نزدیک به ایده آل را نشان می دهد. *DIBL* برابر با ۱/۴*mv/v* و شیب زیر آستانه کمتر از ۶۵*mV/dec* گواهی بر ادعای ما می باشند.

کلید واژه- FinFET, DIBL ، گیت سه فلزی، میدان الکتریکی،تابع کار.

۱- مقدمه

باکاهش ابعاد ترانزیستور CMOS آثار ناخواسته‌ای به نام آثار کانال کوتاه ظاهر می‌شوند که عملکرد ترانزیستور را به مخاطره می‌اندازند درنتیجه کاهش این اثرات اهمیت زیادی دارد. در این راستا ساختارهای مختلفی توسط محققان ارائه شده‌اند که اثرات کانال کوتاه را تا حدودی کاهش می‌دهند یکی از این ساختارها، FinFET است که اخیرا معرفی شده است.[۱] این ساختار از خانواده ترانزیستورهای چند گیتی است که بدلیل افزایش تعداد گیتها، کنترل گیت بر روی کانال افزایش می‌یابد و اثر بارهای القا شده از سورس و درین در کانال کاهش می‌یابند که باعث توقف آثار کانال کوتاه[۲] می‌شوند. FinFET با ترانزیستور CMOS معمولی سازگار است که امکان ساخت سریع این عنصر را فراهم می کند[۳].

ترانزیستور FinFET با کانال کاملاً تهی از ناخالصی، مشکل تغیرات ولتاژ آستانه ناشی از توزیع و نوسان چگالی ناخالصی را حل می‌کند، شیب زیر آستانه را بهبود می‌دهد، بنابراین I_{off} (جریان حالت خاموش) پایینی را نشان می‌دهد و جریان I_{on} (جریان حالت روشن) را افزایش می‌دهد. به دلیل کاهش چگالی ناخالصی کانال مقاومت خروجی بهبود یافته و هدایت انتقالی بالایی را نتیجه می‌دهد. در حالی که تنظیم ولتاژ آستانه با کاشت برای عناصر با Fin باریک مشکل است تنظیم تابع کار با استفاده از گیتهای فلزی یک راه حل برای دیواسهای FinFET است. گیت فلزی را می‌توان با استفاده از روشهای سیلیساید کردن [۴] کامل پلی سیلیکن گیت ، ترکیب گیت فلزی و یک تکنیک کاشت نیتروژن [۵] یا رسوب گذاری فلزی ایجاد کرد.

در این مقاله از سه تابع کار فلزی به عنوان ماده گیت استفاده شده است و با تغیر تابع کار میانی اثر آن بر روی پارامترهای ترانزیستور بررسی شده است. در بخش دوم ساختار طراحی شده در این مقاله توضیح داده می‌شود، در بخش سوم نتایج شبیه سازی بررسی شده و در بخش پایانی نتیجه گیری شده است.

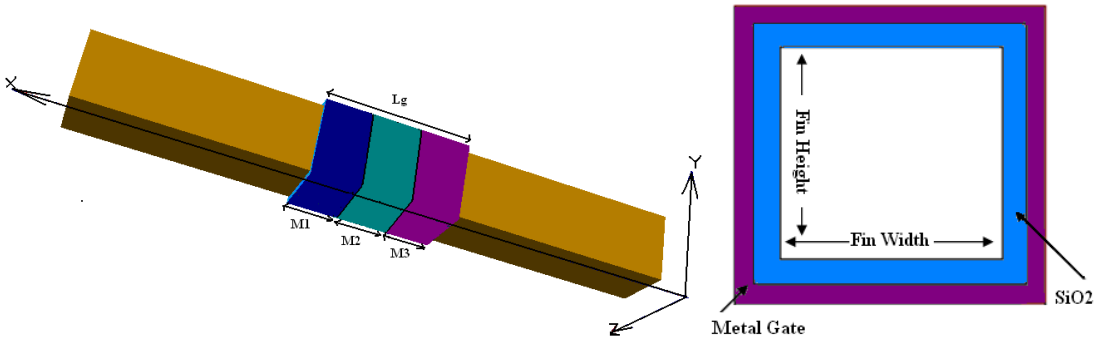
۲- ساختار ترانزیستور

شکل ۱ نمای سه بعدی FinFET با کانال احاطه شده توسط گیت با ناخالصی جزئی را به همراه برش عمودی آن نشان می دهد. در این ساختار گیت تمام کانال ترانزیستوررا احاطه می‌کند .طول گیت ۳۰nm در نظر گرفته شده است که با تکنولوژی آینده سازگار است.

عرض و ارتفاع Fin، ۱۵nm و ضخامت اکسید گیت۱nm است. چگالی ناخالصی کانال برای اجتناب از نوسانات ناخالصی وکاهش تغیرات زیر آستانه $۱۰^{۱۶} cm^{-۳}$ در نظر گرفته شده است.

در این ساختار طول گیت به سه قسمت مساوی L_1، L_2 و L_3 ($L_1=L_2=L_3=Lg/3$) با تابع کارهای φ_{M1}=۴/۹۵ev، ۴/۵ev φ_{M3}= و φ_{M2}=۴/۵۵~۴/۹ev با فاصله ۰/۰۵ تقسیم می‌شود.

این ساختار برای گیت با تابع کار تک فلزی، دو فلزی و سه فلزی با فلز میانی φ_{M2}=۴/۸ ev در [۶] شبیه سازی شده و نتایج خوبی را در کاهش آثار کانال کوتاه نشان داده است. در این مقاله اثر تغییر فلز میانی برای گیت سه فلزی بررسی شده است.



ب) الف)

شکل ۱: الف) برش عمودی و ب) نمای سه بعدی FinFET با کانال احاطه شده توسط گیت.

۳- نتایج شبیه سازی

در این قسمت نتایج شبیه سازی برای ساختارFinFET سه فلزی توضیح داده شده در قسمت قبل، با تغیر φ_{M2} بررسی می-شود. شبیه سازی با استفاده از شبیه ساز عددی ATLAS Silvaco انجام شده است. پتانسیل سطح در کانال ، میدان الکتریکی در طول کانال ،DIBL ، شیب زیر آستانه ، ،ولتاژ شکست در این مقاله بررسی می شوند.

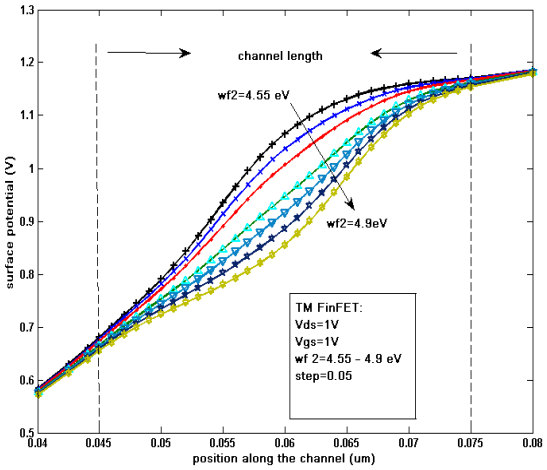
برای انجام این کار φ_{M2} را از ۴/۵۵ev که نزدیک به φ_{M3} است به ۴/۹evکه نزدیک به φ_{M1} است را با فاصله ۰/۰۵ تغیر داده‌ایم. شکل ۲ پتانسیل سطح را در طول کانال برای Vgs=۱v وVds=۱v نشان می‌دهد. همانطور که قابل مشاهده است پتانسیل در کانال نزدیک به درین با کاهش φ_{M2} افزایش می‌یابد. این نشان می‌دهد که بارهای کانال نزدیک به درین ناشی از اثر گیت بر روی کانال می‌باشند و اثر بارهای درین کاهش یافته است. بنابراین قسمت عمده کانال از تغیرات ولتاژ درین محفوظ می‌ماند. در نتیجه DIBL که مهمترین اثر کانال کوتاه است کاهش می‌یابد.

میدان الکتریکی در طول کانال برای Vgs=۱v وVds=۱v در شکل ۳ نشان داده شده است. با توجه به شکل زمانی که تابع کار نزدیک به φ_{M1} یا φ_{M3} است تغیرات میدان در طول کانال زیاد است. در φ_{M2}=۴/۷و۴/۷۵ev میدان الکتریکی بیشتر و کمتر از حالت قبل و در طول کانال یکنواخت می‌شود. زمانی که φ_{M2} نزدیک به φ_{M1} است ماکزیمم میدان الکتریکی بطور قابل توجهی افزایش نمی‌یابد. برای φ_{M2} بزرگتر از ۴/۷evماکزیمم میدان در نزدیک درین کاهش یافته است که سبب کاهش آثار حامل داغ می‌شود. بنابراین به نظر می‌رسد که φ_{M2}=۴/۷و۴/۷۵ev بهترین مقدار باشد به دلیل کاهش آثار حامل داغ ، ایجاد میدان الکتریکی نسبتاً یکنواختی در طول کانال و افزایش ولتاژ شکست ترانزیستور.

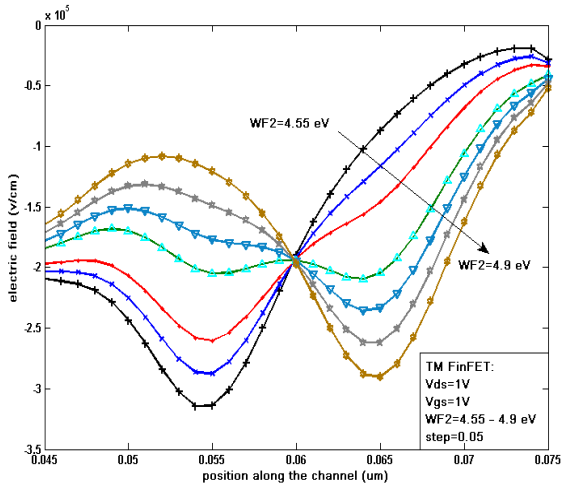
شکل ۴ منحنی مشخصه انتقالی را برای φ_{M2}=۴/۸ev، Vds=۰/۵v و Vds=۱v نشان می‌دهد. شیب زیر آستانه و DIBL استخراج شده از این منحنی به ترتیب ۶۴/۲mv/dec و۱/۴ mv/v می‌باشند که نشان می‌دهند آثار کانال کوتاه برای این ساختار کاهش یافته است. شکل ۵ منحنی خروجی را برای این ساختار نشان می‌دهد، مقدار ولتاژ شکست بدست آمده از این منحنی همانطور که قابل مشاهده است برابر ۱/۸vمی‌باشد.

شکل ۶ الف، ب و ج بترتیب DIBL، شیب زیر آستانه و ولتاژ شکست را برحسب افزایش تابع کار میانی نشان می‌دهند. DIBL و شیب زیر آستانه با افزایش تابع کار کاهش می‌یابند اما DIBL درφ_{M2}=۴/۸۵ev و شیب زیر آستانه در φ_{M2}=۴/۸ev یک تغییر ناگهانی دارند. ولتاژ شکست نیز با افزاش تابع کار افزایش یافته اما از ۴/۸ev شروع به کاهش می‌کند. با در نظر گرفتن میانگین تابع کار φ_{M1}=۴/۹۵ev و φ_{M3}=۴/۵ev می توان نتیجه گرفت که با افزایش تابع کار میانی بیشتر از این مقدار و نزیک شدن به

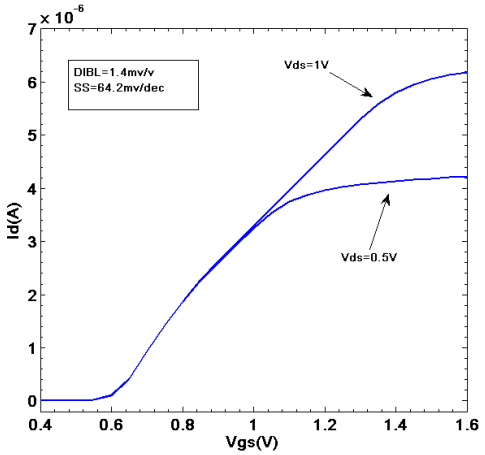
φ_{M1} شیب زیر آستانه و DIBL تغییرات منظمی ندارند و ولتاژ شکست هم کاهش می‌یابد. بنابراین مطابق با شکل ۵ به نظر می‌رسد که مقدار بهینه را برای φ_{M2}، باید بین ۴/۸۵ev-۴/۷۵evدر نظر گرفت.



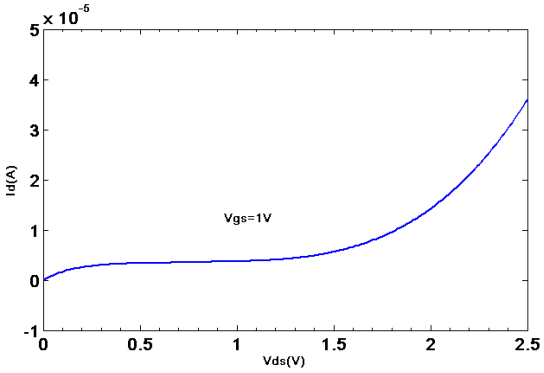
شکل ۲ : پتانسیل سطح در طول کانال با تغیر φ_{M2} از ۴/۵۵ev به ۴/۹evبا فاصله۰/۰۵



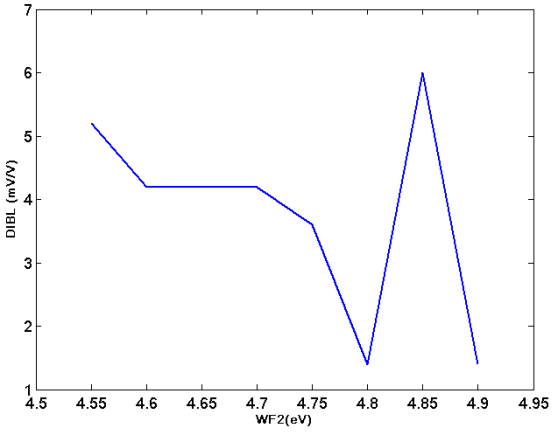
شکل ۳: میدان الکتریکی در طول کانال با تغیر φ_{M2} از ۴/۵۵ev به ۴/۹evبا فاصله۰/۰۵



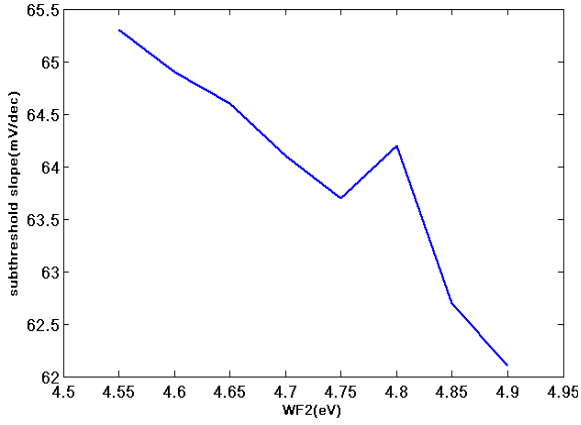
شکل۴: منحنی مشخصه انتقالی با φ_{M2}=۴/۸ev.



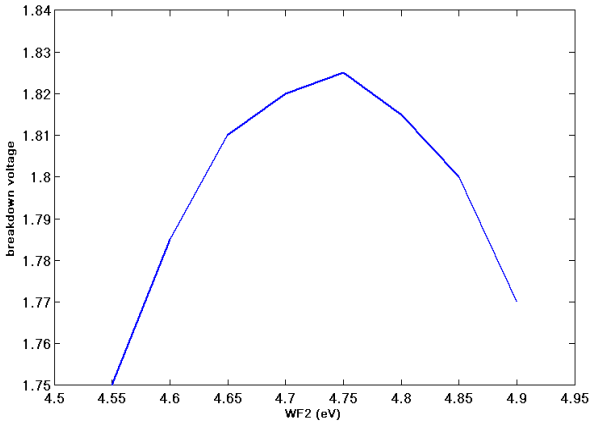
شکل۵: منحنی مشخصه خروجی با φ_{M2}=۴/۸ev.



الف)



ب)



ج)

شکل۶: الف) DIBL ب) شیب زیر آستانه و ج) ولتاژ شکست نسبت به تابع کار φ_{M2} برای FinFET با گیت سه فلزی

۴- نتیجه‌گیری

ساختار FinFET باکانال احاطه شده توسط گیت سه فلزی و با ناخالصی بسیار پایین در این مقاله بررسی شده است. نتایج نشان می‌دهند که ساختار FinFET با گیت سه فلزی آثار کانال کوتاه را به خوبی کاهش می‌دهد. در این ساختار به دلیل وجود چهار گیت در اطراف کانال، کنترل گیت بر روی کانال افزایش یافته و DIBL که از مهمترین آثار کانال کوتاه است کاهش یافته است. هچنین بدلیل ناخالصی کم کانال، تغییرات ولتاژ آستانه کاهش می‌یابد. با استفاده از سه فلز به عنوان ماده گیت و تنظیم مقدار مناسب تابع کار می‌توان آثار کانال کوتاه را کاهش داد. این شبیه سازی نشان می‌دهد که مقدار بهینه برای تابع کار فلز میانی φ_{M2}، بین ۴/۷۵ev-۴/۸۵ev است.

مراجع

[1] Hisamoto et.al., “FinFET – a Self-Aligned Double-Gate MOSFET Scalable to 20 nm”, IEEE Trans,vol. 47,pp. 2320, 2000.

[2] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang,J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi,K. Asano, V. Subramanian, T.-J. King, J. Boker, and C.Hu, “Sub 50nm FinFET: PMOS,” Int. Electron Devices Meeting Tech. Dig., Washington, pp.67, 1999.

[3] Prateek Mishra, Anish Muttreja, and Niraj K. Jha,” FinFET Circuit Design” , DOI 10.1007/978-1-4419-7609-3_2, Springer Science+Business Media, LLC 2011.

[4] J. Kedzierski, E. Nowak, T. Kanarsky, Y. Zhang, D. Boyd, R. Carruthers,C. Cabral, R. Amos, C. Lavoie, R. Roy, J. Newbury, E. Sullivan,J. Benedict, P. Saunders, K. Wong, D. Canaperi, M. Krishnan, K.-L. Lee,B. A. Rainey, D. Fried, P. Cottrell, H.-S. P. Wong, M. Ieong, andW. Haensch, “Metal-gate FinFet and fully-depleted SOI devices usingtotal gate silicidation,” in *IEDM Tech.*Dig, pp. 247, 2002.

[5] D. Ha, H. Takeuchi, Y.-K. Choi, T.-J. King, W. P. Bai, D.-L. Kwong,A. Agarwal, and M. Ameen, “Molybdenum-gate HFO CMOS FinFETs technology,” in *IEDM Tech. Dig.*, pp.643, 2004.

[6] H.Zolfaghari, S. E.Hosseini,A.SH.Nilsaz, “ Dual metal all around gate FinFET”, vol.4, pp.7, 2011.