بررسی اثر توزیع تصادفی ناخالصی در ترانزیستورهای بدون پیوند

سید ابراهیم حسینی[۱]، مصطفی کنعان آذر[۲]

[۱] دانشکده مهندسی دانشگاه فردوسی، مشهد

[۲]دانشگاه آزاد اسلامی، واحد علوم و تحقیقات بجنورد

چکیده

در این پژوهش تغییرات مشخصات ترانزیستورهای فت بدون پیوند دوگیتی، مانند ولتاژ آستانه، DIBL، شیب زیر آستانه و جریان اشباع درین در اثر تغییر تصادفی توزیع ناخالصی‌ها بررسی شده است. به این منظور یک ترانزیستور فت بدون پیوند دو گیتی سیلیکونی با طول گیت ۳۰nm، ضخامت لایه فعال ۹nm، ضخامت اکسید ۱nm با شبیه سازی‌های متعدد فیزیکی بررسی شده است.

Investigation of Random Dopand Fluctuations in Junctionless Transistors

Seyed Ebrahim Hosseini, Mostafa Kanan Azar

[1] Department of Electrical, University of Ferdowsi, Mashhad

[2]Islamic Azad University, Science And Research Bracnch, Bojnourd

Abstract

The effect of random dopand fluctuations on the device characteristics of junctionless transistors is investigated via extensive physical based simulations. Device characteristics such as threshold voltage, drain induced barrier lowering (DIBL), subthreshold swing, and saturation drain current is investigated. The device under study is a Silicon based dual-gate junctionless transistor with a gate length of 30 nm, active layer of 9 nm, and gate oxide thickness of 1 nm.

Pacs No. 72.20, 73.50

مقدمه

ترانزیستورهای بدون پیوند به دلیل کاهش تأثیرات کانال کوتاه و سادگی مراحل ساخت نسبت به ترانزیستورهای معمولی مورد توجه هستند [۱]. در [۲] و [۳] به استفاده این ادوات در کاربردهای منطقی اشاره شده است. همچنین به تازگی، در تعدادی از آثار به مطالعه ومدل سازی ادوات بدون پیوند پرداخته شده است [٤]–[۸]. عدم نیاز به پیوند باعث می‌شود مراحل تزریق ناخالصی کمتر شود. از طرفی برای اینکه کنترل گیت بر کانال حفظ شود لازم است ابعاد ترانزیستور در حد چند نانومتر باشد. در این ترانزیستورها به دلیل ابعاد نانومتری، حجم کل ترانزیستور کم است و فرض یکنواختی توزیع ناخالصی‌ها نادرست است. تغییر تصادفی محل اتم‌های ناخالصی در قسمت‌های مختلف ناحیه‌ی کانال سبب تغییر تصادفی در مشخصات ترانزیستور خواهد شد. این تغییرات ناخواسته ممکن است کاربرد ترانزیستور را با مشکل مواجه کند. بنابراین اطلاع از وجود و میزان چنین تغییراتی برای کاربرد درست ترانزیستور ضروری است. وجود دو گیت نیز باعث مدوله شدن (کنترل بهتر) جریان درین و ولتاژ آستانه می‌گردد [۹]. در این پژوهش با استفاده از شبیه ساز سیلواکو

اثرات توزیع تصادفی ناخالصی‌ها (RDF)[1] بر مشخصات ترانزیستورهای فت بدون پیوند دوگیتی، مثل ولتاژ آستانه، کاهش سد در اثر ولتاژ درین (DIBL)[2]، شیب زیر آستانه (SS)[3] و جریان اشباع درین (I_{DSR})، مقاومت خروجی (R_O) و هدایت انتقالی (G_M) بررسی شده است.

روش شبیه سازی

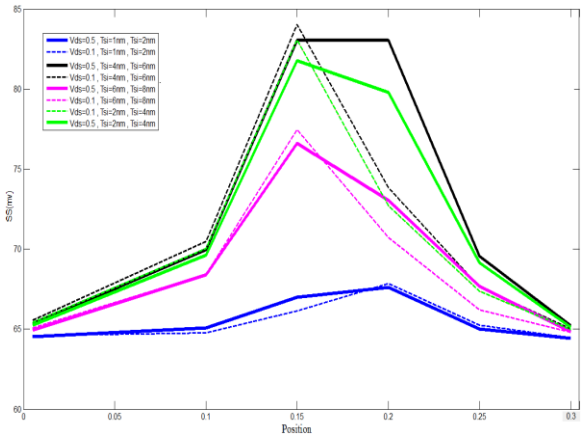
ترانزیستور مورد بررسی یک ترانزیستور فت بدون پیوند دو گیتی سیلیکونی با طول گیت ۳۰nm، ضخامت لایه فعال ۹nm، ضخامت اکسید ۱nm بررسی شده است. ناخالصی کل ترانزیستور برابر $N_D = 10^{19}cm^{-3}$ در نظر گرفته شده است. برای بررسی اثر توزیع غیر یکنواخت ناخالصی‌ها بر مشخصات ترانزیستور، بدنه‌ی ترانزیستور به ٥٤ ناحیه‌ی کوچک تقسیم شده است (طول ترانزیستور به ٦ قسمت و ضخامت به ۹ قسمت). در هر ناحیه‌ی تزریق ناخالصی چگالی در نظر گرفته شده برابر $N_D = 10^{20}cm^{-3}$ می‌باشد (ده برابر بیشتر از مقدار میانگین مورد انتظار). به این ترتیب حدود ۱۵۰ ترانزیستور با ناخالصی کانال تصادفی ایجاد شده و با استفاده از شبیه سازی، مشخصات آن به دست آمده است. توزیع محلی ناخالصی در یک، دو، سه و چهار ناحیه‌ی مجزا از کانال به صورت تصادفی تغییر داده شده و عملکرد ترانزیستور بررسی شده است. تمامی حالات ممکن توسط نرم افزار سیلواکو به صورت دو بعدی شبیه سازی شده است.

نتایج شبیه سازی

شیب زیر آستانه

به طور کلی در ترانزیستور بدون پیوند مورد بررسی محدوده‌ی تغییرات شیب زیر آستانه بر خلاف سایر پارامترها نسبتاً بالاست. زیرا با شبیه سازی‌های انجام شده میانگین شیب زیر آستانه به ازاء V_{DS}=۰,۵V برابر با $۷۹,۵\frac{mV}{dec}$ و به ازاء V_{DS}=۰,۱V برابر با $۸۰,۵\frac{mV}{dec}$ به دست می‌آید. انحراف معیار نیز به ازاء V_{DS}=۰,۵V برابر $SD=۲۲,٤\frac{mV}{dec}$ و به ازاء V_{DS}=۰,۱V برابر $SD=۲۳,۳\frac{mV}{dec}$ خواهد بود.

در شکل۱ چگونگی کاهش و افزایش شیب زیر آستانه در شرایطی که ناخالصی اضافه فقط در یکی از نواحی کانال وجود داشته باشد به خوبی نشان داده شده است. همان‌طور که مشاهده می‌شود، شیب زیر آستانه در صورت تجمع ناخالصی در مرز درین نسبت به سایر نقاط کانال کمتر است. هر چه تغییر ناخالصی از مرز سورس و درین با کانال فاصله گرفته و به مرکز کانال نزدیک‌تر شود مقدار SS بیشتر می‌گردد.



(شکل۱): تغییرات شیب زیر آستانه در صورت تزریق ناخالصی اضافه به صورت تصادفی در یک ناحیه از کانال

با توجه به نتایج عددی به دست آمده، این حقیقت آشکار می‌شود که هر چه تعداد ناخالصی اضافه در کانال بیشتر شود مقدار شیب زیر آستانه هم افزایش خواهد یافت. با این حال، در صورتی که افزودن ناخالصی اضافه به صورت تصادفی در مرز سورس با کانال انجام گیرد، شیب زیر آستانه افزایشی نخواهد داشت و این یک نکته‌ی قابل توجه به حساب می‌آید. به طور کلی تغییرات ولتاژ درین سورس تأثیر چندانی بر SS ندارد.

جریان اشباع درین

با وجود توزیع تصادفی ناخالصی‌ها در ناحیه‌ی کانال، میانگین I_{DSR} در ترانزیستورهای بدون پیوند برابر با ۲,٤mA و انحراف معیار آن نیز برابر SD=۱,٦mA خواهد بود. در صورت وجود ناخالصی اضافه به صورت تصادفی در هر قسمت از کانال به جز در مرز سورس با کانال، I_{DSR} ثابت و برابر ۱,۲ mA می‌باشد. تنها وجود ناخالصی اضافه در مرز سورس است که سبب افزایش I_{DSR} خواهد شد. هر چه این ناخالصی‌ها

[1] Random Dopant Fluctuations
[2] Drain Induced Burried Lowering
[3] Sub-Threshold Slope

در مرز سورس از اکسیدهای گیت فاصله داشته باشند، I_{DSR} افزایش بیشتری دارد. به طور کلی بیشترین جریان اشباع در حالتی رخ می‌دهد که به طور هم‌زمان در مرز سورس با کانال و مرز درین با کانال ناخالصی اضافه وجود داشته باشد و برابر $5,4mA$ است. تأثیرگذاری تغییرات تصادفی ناخالصی‌ها بر I_{DSR} به تفصیل در [۱۱] بررسی شده است.

مقاومت خروجی

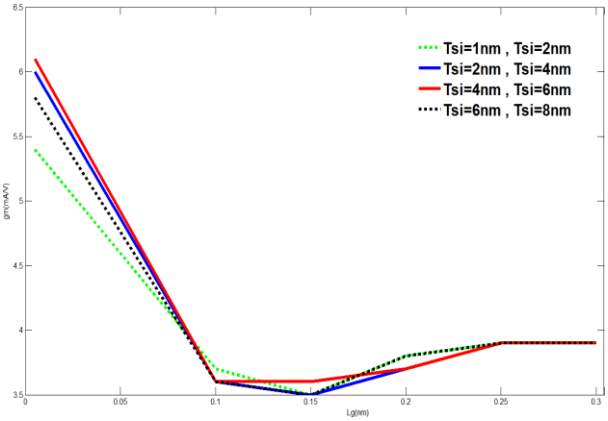
در هر حالتی که ناخالصی‌های اضافه به صورت تصادفی در مرز سورس توزیع شده باشند، مقادیر r_o بین $200k\Omega$ تا $280k\Omega$ متغیر است که مقدار بسیار نامتعارف و بالایی می‌باشد. اما در صورت RDF در سایر نواحی کانال، محدوده‌ی تغییرات r_o بین $2,95k\Omega$ تا $4,78k\Omega$ خواهد بود. در این صورت، میانگین r_o برابر با $4,16k\Omega$ و انحراف معیار آن برابر با $SD=0,73K\Omega$ می‌گردد. هر چه محل تجمع ناخالصی‌های اضافه از مرز درین با کانال فاصله گرفته و به محدوده‌ی میانی کانال نزدیک‌تر شود، r_o کمتری به دست می‌آید. همچنین افزایش تعداد اتم‌های ناخالصی در مجاورت اکسیدهای گیت سبب افزایش r_o می‌گردد.

هدایت انتقالی

میزان تغییرات g_m در ادوات بدون پیوند چندان قابل توجه نیست. در شبیه سازی‌های انجام شده، میانگین g_m به ازاء $V_{DS}=0,5V$ برابر با $4,41\frac{mA}{V}$ و به ازاء $V_{DS}=0,1V$ برابر با $3,99\frac{mA}{V}$ می‌باشد. همچنین انحراف معیار آن نیز به ازاء $V_{DS}=0,5V$ و $V_{DS}=0,1V$ ثابت و برابر $SD=0,7118\frac{mA}{V}$ خواهد بود.

با توجه به نتایج عددی، کمترین g_m زمانی حاصل می‌شود که ناخالصی‌های اضافه در مرز درین و قسمتی از محدوده‌ی میانی کانال واقع شده باشند، و بیشترین آن هم وقتی به دست می‌آید که پراکندگی توزیع تصادفی ناخالصی‌ها، در مرز سورس، در حد فاصل سورس و مرکز کانال و یا در مجاورت اکسید گیت باشند. تغییرات ولتاژ درین سورس تأثیر چندانی بر g_m ندارد، به طوری که در بسیاری از حالات توزیع تصادفی ناخالصی‌ها، مقدار g_m مستقل از تغییرات ولتاژ درین سورس است. اگر ناخالصی‌های اضافه صرفاً در مرز درین با کانال یا در حد فاصل بین درین با مرکزکانال واقع شده باشند، g_m همواره ثابت خواهد بود.

همان‌طور که در شکل۲ مشاهده می‌شود، مقدار g_m در صورت وجود ناخالصی اضافه در مجاورت دو اکسید گیت کمتر از حالتی است که ناخالصی اضافه در محدوده‌ی میانی کانال توزیع شده باشد. افزایش ناخالصی‌های اضافه در مرز اکسید گیت، سبب افزایش مقدار g_m خواهد گردید.



(شکل۲): تغییرات g_m در صورت تزریق ناخالصی اضافه به صورت تصادفی در یک ناحیه از کانال در حد فاصل بین دو اکسید گیت

ولتاژآستانه

در صورت توزیع تصادفی ناخالصی‌ها درناحیه‌ی کانال ادوات بدون پیوند، میانگین ولتاژ آستانه به ازاء $V_{DS}=0,5V$ برابر با $-0,597V$ و به ازاء $V_{DS}=0,1V$ برابر با $-0,55V$ می‌باشد. به این ترتیب، انحراف معیار آن هم به ازاء $V_{DS}=0,5V$ برابر با $SD=0,0821V$ و به ازاء $V_{DS}=0,1V$ برابر با $SD=0,055V$ خواهد بود. مقدار ولتاژ آستانه به ازاء $V_{DS}=0,5V$ بین $-0,41V$ تا $-0,48V$ و به ازاء $V_{DS}=0,1V$ بین $-0,40V$ تا $-0,44V$ متغیر است.

تأثیر اندک تغییرات ولتاژ درین سورس بر ولتاژ آستانه به وضوح دیده می‌شود. هر چه پراکندگی اتم‌های ناخالصی در محدوده‌ی مرکزی کانال بیشتر باشد ولتاژ آستانه‌ی کمتری به دست خواهد آمد. افزایش تعداد اتم‌های ناخالصی در مرز اکسیدهای گیت، ولتاژ آستانه را کاهش می‌دهد. بیشترین ولتاژ آستانه نیز در صورت وجود ناخالصی‌های اضافه در مرز سورس حاصل می‌شود.

کاهش سد در اثر ولتاژ درین

به طور کلی، مقادیر DIBL در صورت توزیع تصادفی ناخالصی در ناحیه‌ی کانال یک ترانزیستور بدون پیوند، بسیار پایین و مناسب بوده و نوسان چشمگیری نخواهند داشت. میانگین و انحراف معیار DIBL در صورت توزیع تصادفی اتم‌های ناخالصی در ترانزیستورهای بدون پیوند به ترتیب برابر با ۰٫۱۰۱V و SD=۰٫۰۷۳V خواهد بود.

در صورتی که ناخالصی‌های اضافه فقط در مرز سورس موجود باشند مقدار DIBL ثابت و برابر $۰٫۰۲۵\frac{mV}{V}$ می‌باشد و چنان چه منحصراً در مرز درین توزیع شده باشند DIBL ثابت و برابر $۰٫۰۵\frac{mV}{V}$ خواهد بود. با افزایش اتم‌های ناخالصی در مرز سورس مقدار DIBL تغییر نمی‌کند، در حالی که با افزایش اتم‌های ناخالصی در مرز درین، مقدار DIBL افزایش خواهد یافت. هر چه تجمع ناخالصی‌ها در مجاورت اکسید گیت بیشتر باشد بر مقدارDIBL افزوده می‌گردد. هر چه ناخالصی‌های اضافه در اثر توزیع تصادفی از مرز سورس و درین فاصله گرفته و به مرکز کانال نزدیک‌تر گردند DIBL افزایش می‌یابد.

به طور کلی، کمترین DIBL در صورت افزایش تعداد اتم‌های ناخالصی‌ها در مرز سورس یا درین به دست می‌آید. بیشترین DIBL هم زمانی رخ می‌دهد که به صورت هم‌زمان ناخالصی‌های اضافه در مرز درین و در محدوده‌ی میانی کانال توزیع شده باشند.

نتیجه‌گیری

در این تحقیق، تغییرات شیب زیر آستانه، جریان اشباع درین، g_m، r_o، ولتاژ آستانه و DIBL ناشی از نوسانات تصادفی اتم‌های ناخالصی در ترانزیستورهای دوگیتی بدون پیوند در مقیاس نانو با استفاده از شبیه سازی دو بعدی مورد بررسی قرار گرفته شده است. در این مطالعه چندین حالت مختلف توزیع تصادفی ناخالصی در ناحیه‌ی کانال به صورت تصادفی مورد ارزیابی واقع شده است. تأثیرگذاری میزان توزیع ناخالصی در مرز دو اکسید بر مشخصات ادوات بدون پیوند به وضوح دیده می‌شود. تأثیر RDF بر DIBL و شیب زیر آستانه زیاد است. مقادیر DIBL به دست آمده برای ترانزیستورهای بدون پیوند اندک است. کاهش ولتاژ آستانه سبب افزایش DIBL خواهد شد.

مرجع‌ها

[1] Choi, S.J. & Moon, D. & Kim, S. & Ahn, J. H. et al. (2011), "Nonvolatile Memory by All Around-Gate Junctionless Transistor Composed of Silicon Nanowire on Bulk Substrate", *IEEE Electron Device Letters*, V. 32, N. 5, pp. 602-604, 2011.
[2] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, *et al.*, "Nanowire transistors without junctions," *Nature Nanotechnol.*, V. 5, N. 3, pp. 225–229, 2010.
[3] G. Giusi and G. Iannaccone, "Junction engineering of 1T-DRAMs," *IEEE EDL.*, V. 34, N. 3, pp. 408–410, 2013.
[4] A. Martinez, A. R. Brown, S. Roy, and A. Asenov, "NEGF simulationsof a junctionless Si gate-all-around nanowire transistor with discretedopants," in *Proc. 12th Int. Conf. ULIS*, (2011) 42–46.
[5] G. Leung and C. O. Chui, "Variability impact of random dopantfluctuation on nanoscale junctionless FinFETs," *IEEE EDL.*, V. 33, N. 6, pp. 767–769, 2012.
[6] M. Aldegunde, A. Martinez, and J. R. Barker, "Study of discrete dopinginduced variability in junctionless nanowire MOSFETs using dissipative quantum transport simulations," *IEEE EDL.*, V. 33, N. 2, pp. 194–196, 2012.
[7] A. Gnudi, S. Reggiani, E. Gnani, and G. Baccarani, "Analysis of threshold voltage variability due to random dopant fluctuations injunctionless FETs," *IEEE EDL.*, V. 33, N. 3, pp. 336-338, 2012.
[8] Y. Taur, H.-P. Chen, W. Wang, S.-H. Lo, and C. Wann, "On–offcharge–voltage characteristics and dopant number fluctuation effectsin junctionless double-gate MOSFETs," *IEEE Trans. on ED*, V. 59, N. 3, pp. 863–866, 2012.
[9] Chen1, Z. et al. (2010) "N-channel Junction-less Vertical Slit Field-Effect Transistor (VeSFET): Fabrication-based Feasibility Assessment", *2012 International Conference on Solid-State and Integrated Circuit*, V. 32 (2012) © (2012) IACSIT Press, Singapore.
[10] Antonio Gnudi. Susanna Reggiani. Elena Gnani. Giorgio Baccarani, "Analytical Model for the Threshold Voltage Variability due to Random Dopant Fluctuations in Junctionless FETs", SISPAD 2012, September 5-7, 2012, Denver, CO, USA.
[11] Gino Giusi.Andrea Lucibello;"Variability of the Drain Current in Junctionless Nanotransistors Induced by Random Dopant Fluctuation";*IEEE Trans. on ED*, V. 61, No. 3(2014) 702-706.