

ارائه یک ساختار جدید برای اینورتر تک فاز چندسطحی با کاهش تعداد ادوات الکترونیک قدرت

مرتضی آماده، محمد منفرد، ساسان هاشمی زاده

دانشکده فنی و مهندسی

دانشگاه فردوسی

مشهد، ایران

morteza.amadeh@stu.um.ac.ir

m.monfared@um.ac.ir

sasan.hashemizadehashan@stu.um.ac.ir

مزایای کلی اینورترهای چندسطحی عبارتند از:

- کاهش استرس ولتاژ روی کلیدها و بار که باعث افزایش طول عمر کلیدها و کاهش تداخل الکترومغناطیسی می شود؛
- افزایش کیفیت شکل موج های خروجی؛
- افزایش فرکانس مؤثر کلیدزنی که باعث کاهش اندازه و هزینه فیلتر خروجی می شود.

اینورترهای تمام پل آبشاری، دیود قفلی و خازن معلق رایج ترین ساختارهای اینورترهای چندسطحی هستند [۶]-[۸]. اینورتر آبشاری به چندین منبع ولتاژ DC نیاز دارد. دو ساختار دیگر، از چندین خازن برای تقسیم و کلمپ ولتاژ استفاده می کنند. اصلی ترین نکته در این دو ساختار ایجاد تعادل در ولتاژ خازن ها است [۹]. آستانه تحمل اوات قدرت در این ساختارها به گونه ای است که تحت یک ولتاژ DC برابر در بیشتر موارد نصف ولتاژی است که ادوات قدرت در اینورترهای دو سطحه تحمل می کنند.

اینورترهای چند سطحی را می توان در یک نگاه دیگر بر اساس مقدار منابع ولتاژ به دو دسته ساختارهای متقارن و نامتقارن تقسیم کرد. در ساختارهای متقارن اندازه منابع ولتاژ DC یکسان اما در ساختارهای نامتقارن متفاوت است. ساختارهای نامتقارن در مقایسه با ساختارهای متقارن دارای

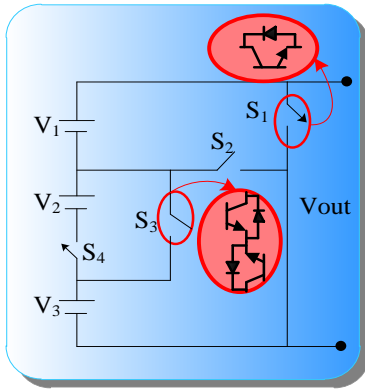
چکیده — در این مقاله یک اینورتر تک فاز چندسطحی با استفاده از ترکیب سری زیرسیستم ها در دو حالت متقارن و نامتقارن ارائه شده است. این مبدل به راحتی قابل پیاده سازی و توسعه به تعداد سطوح ولتاژ دلخواه می باشد. در مقایسه با اینورترهای رایج، ادوات کمتری نیاز دارد که باعث کاهش هزینه، حجم، وزن و پیچیدگی این ساختار می شود. در این مقاله، چهار الگوریتم متفاوت برای تعیین مقادیر منابع DC به کار گرفته شده در این اینورتر، ارائه گردیده است. همچنین در این مقاله برای اثبات عملکرد اینورتر پیشنهادی نتایج شبیه سازی با نرم افزار PSIM ارائه شده است.

واژه های کلیدی — اینورتر چندسطحی؛ نامتقارن؛ تک فاز؛

۱. مقدمه

ساختار چندسطحی برای اینورترها برای اولین بار در سال ۱۹۷۵ مطرح شد. اینورتر چندسطحی یک مبدل الکترونیک قدرت است که از طریق کلیدزنی و برقراری ترکیب متناسبی از منابع DC به کار گرفته شده، ولتاژ خروجی مطلوب را به دست می آورد. امروزه اینورترهای چندسطحی به طور گسترده در صنعت به ویژه در کاربردهای توان بالا و ولتاژ متوسط مانند درایو موتورهای بزرگ، جبران سازه های توان راکتیو، سیستم های انرژی تجدیدپذیر و ... استفاده می شوند [۱]-[۵].

تعداد سطوح ولتاژ خروجی خیلی بیشتر و طراحی پیچیده‌تر می‌باشند. ساختارهای متقارن دارای مزیت مدولار هستند که سبب طراحی و توسعه آسان‌تر آن‌ها می‌شود. با این وجود افزایش تعداد سطوح خروجی در آن‌ها نیاز به ادوات الکترونیک قدرت بیشتری نسبت به ساختارهای نامتقارن دارد [۱۰] [۱۱].



شکل (۱): مدار قدرت اینورتر پیشنهادی.

۲.۲. بررسی عملکرد مبدل پیشنهادی

جدول ۱ حالات مختلف کلیدزنی برای ساختار پایه‌ای معرفی شده را نشان می‌دهد. همان‌طور که مشاهده می‌کنید هر زیرساختار قادر به تولید ۴ سطح ولتاژی با پلاریته مثبت می‌باشد که متناظر با هر پله ولتاژ خروجی عملکرد یک کلید در حالت روشن در نظر گرفته شده‌است. این بدان معنی است که در سطوح مختلف ولتاژ خروجی هدایت یک کلید قدرت کافی است تا ترکیب منابع ولتاژ ورودی صورت بگیرد، ضمن اینکه باید به این نکته اشاره کرد که هدایت تنها یک کلید در هر پله ولتاژ باعث کاهش تلفات مبدل می‌شود.

جدول ۱: حالت‌های مختلف کلیدزنی و ولتاژ خروجی

حالت	شرایط کلیدزنی				V_{out}
	S_1	S_2	S_3	S_4	
۱	1	0	0	0	0
۲	0	1	0	0	V_1
۳	0	0	1	0	V_1+V_3
۴	0	0	0	1	$V_1+V_2+V_3$

این ساختار تنها قادر به تولید سطوح ولتاژ مثبت می‌باشد. برای تولید پلاریته منفی شکل موج خروجی یک مدار پل H شامل چهار کلید یک جهته T_1, T_2, T_3 و T_4 بکار گرفته می‌شود، که در «شکل ۲» نمایش داده شده است. نحوه هدایت این مدار به گونه‌ای است که هدایت T_4 و T_1 منجر به قرار گرفتن ولتاژ V_o بر روی بار می‌شود و هدایت T_3 و T_2 پلاریته منفی V_o را در خروجی قرار می‌دهد.

در سال‌های اخیر ساختارهای متنوع دیگری نیز برای اینورترهای چندسطحی مطرح شده‌است. همچنان، یافتن ساختارهای جدید با ادوات کمتر برای مبدل‌های چندسطحی برای محققان و صنعت بسیار جذاب می‌باشد. این ساختارها بر پایه اتصال سری چند سلول متقارن تشکیل می‌شوند به گونه‌ای که مقدار منابع DC در یک سلول با سلول دیگر متفاوت است. اگرچه تعداد سطوح خروجی در این ساختارها بسیار بالا است اما استفاده از روش‌های متفاوت برای تعیین مقدار منابع DC موجب پیچیدگی پیاده‌سازی آن‌ها می‌شود [۱۲] [۱۳] [۱۴] [۱۵].

در این مقاله یک ساختار اینورتر چندسطحی بر پایه اتصال سری سلول‌ها پیشنهاد شده‌است. در ابتدا مدار قدرت ساختار پیشنهادی در دو حالت پیاده‌سازی متقارن و نامتقارن شرح داده شده و سپس با ساختارهای دیگر مقایسه شده‌است. در قسمت پایانی، عملکرد مبدل پیشنهادی با ارائه نتایج شبیه‌سازی اثبات گردیده‌است.

۲. ساختار اینورتر چندسطحی تک فاز پیشنهادی

۲.۱. مدار قدرت مبدل پیشنهادی

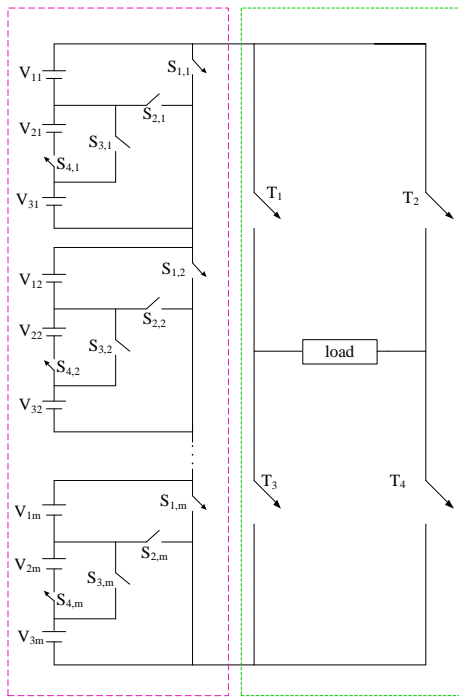
مدار قدرت ساختار اینورتر تک فاز پیشنهادی در «شکل ۱» نشان داده شده‌است. در این مبدل، V_1, V_2, V_3 ولتاژهای ورودی dc هستند. این ساختار از سری ساختارهایی می‌باشد که برای تولید ولتاژ مورد نظر اینورترهای چندسطحی به یک مدار پل H نیاز دارند. پل H وظیفه تولید پلاریته مثبت و منفی در شکل موج خروجی را دارد. لذا این ساختارها از دو بخش اصلی تشکیل می‌شوند: بخشی که وظیفه تولید ولتاژ ترکیبی از منابع DC ورودی را دارد و بخش دیگر که از طریق پل H وظیفه تولید سطوح ولتاژ مثبت و منفی را برعهده دارد. این ساختار علاوه بر منابع DC به عنوان یک عضو جدایی‌ناپذیر در توپولوژی‌های چندسطحی، از کلیدهای قدرت یک جهته و دو جهته بهره می‌برد. هر ساختار از دو کلید دو جهته، دو کلید یک جهته و سه منبع DC ایزوله تشکیل شده‌است. منابع DC بکاررفته از نوع غیرایزوله هستند به گونه‌ای که می‌توان منابع تجدید پذیر مانند سلول‌های خورشیدی را جایگزین کرد. در ساختار پیشنهادی زوج کلیدهای

همان‌طور که در رابطه (۵) مشاهده می‌شود افزایش تعداد منابع در هر سلول برای دستیابی به سطوح خروجی بیشتر تاثیر قابل توجهی در افزایش ولتاژ بلوکه‌شده مبدل دارد به همین دلیل از روش سری کردن سلول‌ها برای بالا بردن پله‌های خروجی استفاده می‌شود که علاوه بر کم کردن ولتاژ بلوکه‌شده به کاهش تعداد کلیدها و منابع DC بکاررفته در مبدل به ازای سطوح ولتاژی بالا منجر می‌شود.

«شکل ۳» ساختار آبشاری مبدل چند سطحی پیشنهادی را نشان می‌دهد. این ساختار از m سلول تشکیل شده‌است به گونه‌ای که ولتاژ خروجی ساختار برابر است با:

$$V_{out} = V_{o,1} + V_{o,2} + \dots + V_{o,m} \quad (6)$$

به این ترتیب ترکیبی از ولتاژ خروجی سلول‌ها به وسیله پل H به ولتاژ چندسطحی مطلوب تبدیل می‌شود.



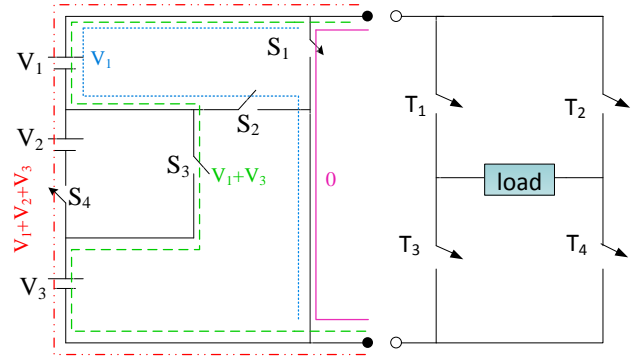
شکل (۳): ساختار پیشنهادی متشکل از اتصال سری m سلول

تعداد سطوح ولتاژ خروجی، کلیدهای قدرت و منابع ولتاژ به کار رفته با در نظر گرفتن مبدل m سلولی می‌توان از طریق روابط زیر بدست آورد:

$$N_{level} = 6m + 1 \quad (7)$$

$$N_{switch} = 6m + 4 \quad (8)$$

$$N_{source} = 3m \quad (9)$$



شکل (۲): مراحل تولید سطوح ولتاژ در یک سلول پیشنهادی با پل H

تعداد کلیدها و تعداد سطوح خروجی برای سلول پیشنهادی از روابط

زیر بدست می‌آید:

$$N_{level} = 2n + 1 \quad (1)$$

$$N_{switch} = 2n \quad (2)$$

n تعداد منابع DC در هر زیرساختار را نشان می‌دهد، که در هر سلول پیشنهادی برابر با ۳ منبع در نظر گرفته شده‌است. منظور از تعداد سطوح ولتاژ (N_{level})، تعداد پله‌های غیر تکراری در یک سیکل ولتاژ است که در پلاریته مثبت و منفی تولید شده‌است. تعداد منابع DC برای هر زیرساختار برابر ۳ در نظر گرفته شده‌است با توجه به وجود دو کلید دوجبهت در توپولوژی پیشنهادی، تعداد مدارهای درایو کلیدها از رابطه زیر بدست می‌آید:

$$N_{driver} = n + 1 \quad (3)$$

پارامتر مهم دیگری که در ساختارهای چندسطحی مورد ارزیابی قرار می‌گیرد، ولتاژ بلوکه‌شده ساختار می‌باشد. اگر مقدار ولتاژ بلوکه‌شده مبدل کاهش یابد، هزینه کلی مبدل نیز کاهش می‌یابد. از طرف دیگر این کمیت در تعیین کلیدهای قدرت متناسب با سطح ولتاژ مورد نظر اهمیت دارد. این پارامتر برابر مجموع ولتاژ بلوکه شده روی کلیدها در حالات مختلف کلیدزنی می‌باشد، که در زیرساختار فوق با در نظر گرفتن ولتاژ V_{dc} برای هر منبع ولتاژ بصورت زیر محاسبه می‌شود:

$$\begin{cases} V_{S_1} = 3V_{dc} \\ V_{S_2} = 2V_{dc} \\ V_{S_3} = V_{S_4} = V_{dc} \end{cases} \quad (4)$$

ولتاژ بلوکه شده کل یک سلول با در نظر گرفتن پل H در خروجی مبدل و رابطه (۴) برابر است با:

$$V_{block} = V_{block,cell} + V_{block,H} = (5n + 4)V_{dc} \quad (5)$$

۲.۳. پیاده سازی متقارن و نامتقارن مبدل پیشنهادی

در ساختار پیشنهادی «شکل ۳»، مقدار ماکزیمم ولتاژ خروجی و تعداد سطوح خروجی براساس مقدار تعیین شده برای منابع DC بدست می‌آید. اگر مقدار منابع DC در همه سلول‌ها برابر باشد، پیاده‌سازی منابع در مبدل به صورت متقارن صورت گرفته‌است. در غیر این صورت پیاده‌سازی نامتقارن نامیده می‌شود. سه روش پیشنهادی برای پیاده‌سازی نامتقارن مبدل به همراه ساختار متقارن در جدول ۳ ارائه شده‌است. چهار الگوریتم متفاوت برای تعیین مقدار منابع DC در هر سلول ارائه شده‌است که متعاقباً پیاده‌سازی هر روش تاثیرات متفاوتی در تعداد اجزاء، سطوح تولیدی، مقدار ماکزیمم ولتاژ خروجی و ولتاژ بلوکه‌شده مبدل دارد. در این جدول پارامترهای مختلف اینورتر پیشنهادی برای سلول‌های مختلف بررسی شده‌است. مطالعه انجام شده نشان می‌دهد که مقدار منابع DC در همه الگوریتم‌های پیشنهادی به جز الگوریتم PI، متفاوت است. مقدار ماکزیمم ولتاژ خروجی و تعداد سطوح خروجی در حالت نامتقارن با وجود تعداد ادوات یکسان به کاررفته در مبدل پیشنهادی بسیار بیشتر از روش PI (پیاده‌سازی متقارن) می‌باشد.

جدول ۲ کلیه حالات کلیدزنی را برای ساختار پیشنهادی ارائه می‌دهد. همان‌طور که مشخص است در حالت آبشاری سلول‌ها، ترکیبات بیشتری از منابع DC بدست می‌آید. بنابراین برای تولید هر سطح ولتاژ خروجی حداقل یک الگوی کلیدزنی با مسیر جریان متفاوت وجود دارد.

برای به دست آوردن ولتاژ بلوکه‌شده مبدل لازم است مقدار ولتاژ بلوکه‌شده برای هر کلید قدرت در ساختار پیشنهادی محاسبه شود.

$$\begin{cases} V_{S1,j} = V_{1j} + V_{2j} + V_{3j} \\ V_{S2,j} = V_{2j} + V_{3j} \\ V_{S3,j} = V_{S4,j} = V_{2j} \end{cases} \quad j = 1, 2, \dots, m \quad (10)$$

$$V_{T1} = V_{T2} = V_{T3} = V_{T4} = V_{o,max} \quad (11)$$

$V_{o,max}$ بیشترین مقدار ولتاژ تولیدی در خروجی مبدل است. مقدار کل ولتاژ بلوکه‌شده مبدل برابر است با مجموع ولتاژ بلوکه‌شده سلول‌ها و ولتاژ بلوکه شده پل H.

$$V_{block} = \sum_{j=1}^m V_{block,j} + V_{block,H} \quad (12)$$

جدول ۲: ولتاژ خروجی اینورتر پیشنهادی برپایه الگوهای متفاوت هدایت کلیدهای قدرت در هر سلول

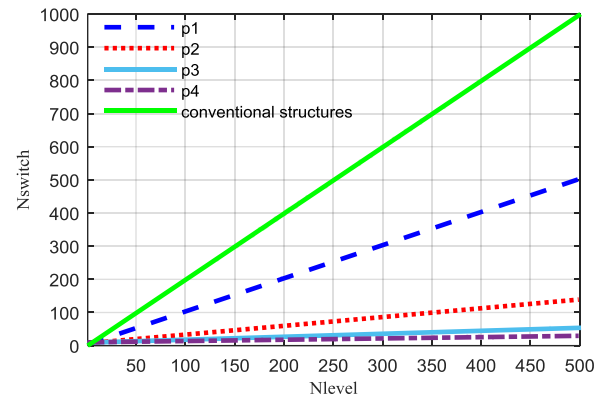
v_o	S_{11}	S_{21}	S_{31}	S_{41}	S_{12}	S_{22}	S_{32}	S_{42}	...	S_{1m}	S_{2m}	S_{3m}	S_{4m}
0	1	0	0	0	1	0	0	0	...	1	0	0	0
V_{11}	0	1	0	0	1	0	0	0	...	1	0	0	0
$V_{11} + V_{31}$	0	0	1	0	1	0	0	0	...	1	0	0	0
$V_{11} + V_{21} + V_{31}$	0	0	0	1	1	0	0	0	...	1	0	0	0
V_{21}	1	0	0	0	0	1	0	0	...	1	0	0	0
$V_{21} + V_{32}$	1	0	0	0	0	0	1	0	...	1	0	0	0
$V_{21} + V_{22} + V_{32}$	1	0	0	0	0	0	0	1	...	1	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
$\sum_{j=1}^m V_{1j} + V_{2j} + V_{3j}$	0	0	0	1	0	0	0	1	...	0	0	0	1

جدول ۳: الگوریتم‌های پیشنهادی و پارامترهای مربوطه

الگوریتم	P1					P2					P3					P4				
	$V_{1j} = V_{2j} = V_{3j} = V_{dc}$					$V_{1j} = V_{2j} = V_{3j} = 2^{j-1} V_{dc}$					$V_{1j} = V_{2j} = V_{3j} = 3^{j-1} V_{dc}$					$V_{1j} = V_{2j} = V_{3j} = 4^{j-1} V_{dc}$				
m	۱	۲	۳	۴	...	۱	۲	۳	۴	...	۱	۲	۳	۴	...	۱	۲	۳	۴	...
$V_{o,max}$	۳	۶	۹	۱۲	...	۳	۹	۲۱	۴۵	...	۳	۱۲	۳۹	۱۲۰	...	۳	۱۵	۶۳	۲۵۵	...
N_{level}	۷	۱۳	۱۹	۲۵	...	۷	۱۹	۴۳	۹۱	...	۷	۲۵	۷۹	۲۴۱	...	۷	۳۱	۱۲۷	۵۱۱	...
N_{switch}	۱۰	۱۶	۲۲	۲۸	...	۱۰	۱۶	۲۲	۲۸	...	۱۰	۱۶	۲۲	۲۸	...	۱۰	۱۶	۲۲	۲۸	...
V_{block}	۱۹	۳۸	۵۷	۷۶	...	۱۹	۵۷	۱۳۳	۲۸۵	...	۱۹	۷۶	۲۴۷	۷۶۰	...	۱۹	۹۵	۳۹۹	۱۶۱۵	...

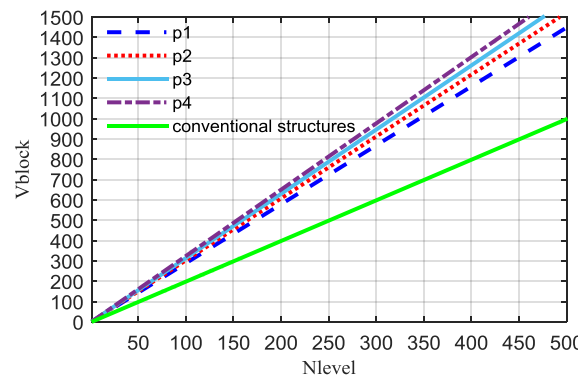
۲.۴. مقایسه مبدل پیشنهادی با ساختارهای کلاسیک

دستیابی به سطوح ولتاژ بالا در کنار کاهش تعداد اجزای به‌کاررفته، یکی از مهمترین نکاتی که در توپولوژی‌های چندسطحی بویژه ساختارهای آبشاری حائز اهمیت است. بنابراین در این قسمت مقایسه عملکرد مبدل پیشنهادی با ساختارهای کلاسیک ارائه شده است. «شکل ۴» تغییرات تعداد کلیدهای قدرت در ساختار پیشنهادی را نسبت به تعداد سطوح ولتاژ خروجی نشان می‌دهد.



شکل (۴): تغییرات تعداد کلیدهای قدرت نسبت به سطوح ولتاژ

همان‌طور که در شکل (۴) مشاهده می‌کنید در سطوح تولیدی بسیار بالا ساختار پیشنهادی عملکرد مناسب‌تری در هر ۴ الگوریتم پیشنهادی دارد، که بیانگر این مفهوم است که ساختار پیشنهادی در هر دو حالت متقارن و نامتقارن طی روند افزایشی سطوح ولتاژ خروجی، از تعداد کمتری کلید قدرت بهره می‌گیرد. کاهش تعداد کلیدهای قدرت مسلماً تاثیر مستقیم در کاهش هزینه و تلفات مبدل دارد. پارامتر دیگری که تاثیر مستقیم در هزینه ساخت یک توپولوژی چندسطحی دارد ولتاژ بلوکه‌شده کلیدها و متعاقباً ولتاژ بلوکه‌شده کلی مبدل است. «شکل ۵» بیانگر مقایسه‌ای از مقدار ولتاژ بلوکه‌شده کل مبدل (کلید سلول‌ها و پل H) با ساختارهای کلاسیک می‌باشد.



شکل (۵): تغییرات مقدار ولتاژ بلوکه‌شده مبدل نسبت به سطوح ولتاژ

همان‌طور که می‌دانید ساختارهای کلاسیک بدلیل استفاده از تعداد کلیدهای قدرت زیاد برای دستیابی به سطوح ولتاژ بالا، از نظر مقدار ولتاژ بلوکه‌شده در وضعیت بسیار مناسبی قرار دارند، از این‌رو روند گسترش ساختارهای چندسطحی ارائه‌شده، در جهت همگرایی به این مزیت در ساختارهای کلاسیک، سوق داده شده است. همان‌طور که در شکل (۵) مشاهده می‌کنید پیاده سازی الگوریتم‌های متفاوت در ساختار پیشنهادی، مقایسه قابل قبولی ایجاد کرده است که با در نظر گرفتن تعداد کلیدهای قدرت به‌کاررفته در روش‌های پیشنهادی، بسیار قابل تامل است.

۲.۵. تلفات مبدل پیشنهادی

بطورکلی تلفات مبدل‌های الکترونیک قدرت شامل تلفات هدایتی و تلفات کلیدزنی می‌شود که به ترتیب در فرکانس کلیدزنی پایین و فرکانس بالا غالب هستند. تلفات هدایتی ناشی از مجموع تلفات افت ولتاژ حالت وصل و مقاومت یک کلید در حالت هدایت هستند. به‌طورکلی تلفات هدایتی در بازه هدایت کلیدها را می‌توان به‌صورت رابطه زیر نشان داد:

$$P_{cond} = V_{on}(t).I(t) \quad (13)$$

V_{on} ولتاژ معکوس کلیدها در بازه هدایت و I متوسط جریان عبوری هستند. تلفات هدایتی لحظه‌ای برای ترانزیستور ($p_{c,T}(t)$) و دیود ($p_{c,D}(t)$) از طریق روابط زیر محاسبه می‌شوند:

$$p_{c,T}(t) = [V_T + R_T i^\beta(t)].i(t) \quad (14)$$

$$p_{c,D}(t) = [V_D + R_D i(t)].i(t) \quad (15)$$

برای سهولت محاسبات می‌توان جریان خروجی مبدل را برای تعداد سطوح بالا به‌صورت رابطه زیر در نظر گرفت:

$$i(t) = I_m \sin(\omega t + \varphi) \quad (16)$$

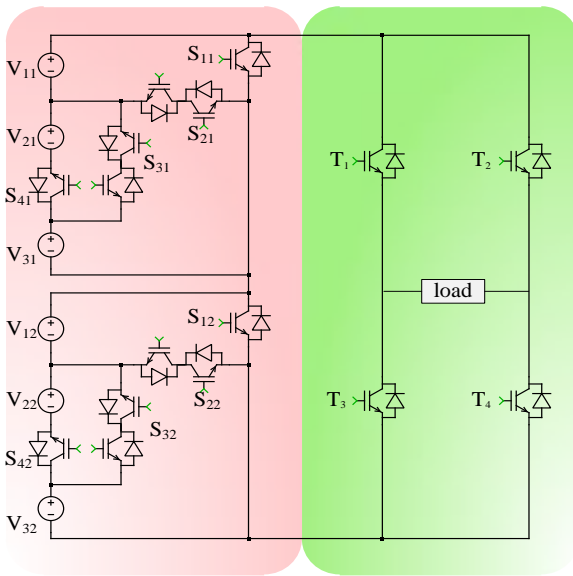
با توجه به اینکه در اینورتر پیشنهادی در هر لحظه از زمان یا به عبارتی در هر پله ولتاژ خروجی تنها یک IGBT و یک دیود هدایت می‌کنند، از روابط (۱۴) و (۱۵) و (۱۶) در یک سیکل کاری داریم:

$$P_{cond,L} = \frac{2}{\pi} I_m (V_{on,T} + V_{on,D}) + \frac{R_D I_m^2}{2} + \frac{R_T I_m^{\beta+1}}{\pi} \int_0^\pi \sin^{\beta+1}(\omega t) d(\omega t) \quad (17)$$

که $P_{cond,L}$ تلفات هدایتی مبدل در بخش تولید سطوح می‌باشد و متعاقباً تلفات هدایتی بخش تعیین پلاریته بصورت زیر محاسبه می‌شود:

۳. نتایج شبیه‌سازی

برای اثبات عملکرد حالت ماندگار اینورتر پیشنهادی، این مبدل در حالت‌های متقارن و نامتقارن تحت بار اهمی-سلفی ($R=10\Omega$) و در نرم‌افزار PSIM شبیه‌سازی شده‌است. «شکل ۶» یک ساختار دوسلولی را نشان می‌دهد که برای بررسی نتایج شبیه‌سازی، در نظر گرفته شده‌است. در این شبیه‌سازی، در حالت متقارن، ولتاژهای dc ورودی برابر $10V$ هستند، در صورتی که در حالت نامتقارن، از الگوریتم $P4$ در جدول ۳ استفاده شده است به گونه‌ای که ولتاژهای dc سلول اول $10V$ و سلول دوم طبق الگوریتم پیشنهادی برابر $40V$ انتخاب شده‌اند.



شکل (۶): ساختار دوسلولی پیشنهادی

نتایج شبیه‌سازی ولتاژ قبل از پل H و ولتاژ و جریان خروجی اینورتر پیشنهادی در «شکل ۷» نشان داده شده‌اند. مطابق این شکل، مبدل پیشنهادی در حالت متقارن، ۱۳ سطح ولتاژ تولید می‌کند؛ در حالی که در حالت نامتقارن، ۳۱ سطح در ولتاژ خروجی اینورتر داریم که کاملاً مطابق تحلیل‌های صورت گرفته می‌باشند. از «شکل ۷» روشن است که اندازه‌ی همه‌ی سطوح ولتاژ خروجی یکسان است و با اعداد حاصل از تحلیل‌ها همخوانی دارد. ضمن این‌که عملکرد پل H در ایجاد پلاریته مثبت و منفی نمایان شده‌است. جریان بار تقریباً سینوسی شده‌است؛ زیرا بار به عنوان فیلتر پایین‌گذر عمل کرده و باعث گردیده جریان خروجی حالت پله‌ای نداشته باشد.

$$P_{cond,P} = \frac{1}{\pi} \left[\int_0^{\pi} P_{cond,D} d(\omega t) + \int_{\varphi}^{\pi} P_{cond,T} d(\omega t) \right]$$

$$= \frac{1}{\pi} \left[V_{on,D} I_m (1 - \cos(\varphi)) + \frac{R_D I_m^2}{4} (2\varphi - \sin(2\varphi)) + V_{on,T} I_m (1 + \cos(\varphi)) + R_T I_m^{\beta+1} \int_{\varphi}^{\pi} \sin^{\beta+1}(\omega t) d(\omega t) \right] \quad (18)$$

به این ترتیب تلفات هدایتی کل برابر است با:

$$P_{cond} = P_{cond,P} + P_{cond,L} \quad (19)$$

تلفات کلیدزنی مقدار انرژی است که در شرایط گذرای فرآیند روشن و خاموش شدن کلیدها تلف می‌شود. این تلفات به دلیل غیر ایده‌آل بودن کلیدها به وجود می‌آید. برای بررسی تلفات کلیدزنی اینورتر پیشنهادی، ابتدا اتلاف انرژی برای یک کلید مورد ارزیابی قرار می‌گیرد. مقدار تلفات در حالت هدایت و عدم هدایت برای کلید k برابر است با:

$$E_{on,k} = \int_0^{t_{on}} v(t)i(t)dt = \int_0^{t_{on}} \left[\left(\frac{I}{t_{on}} t \right) \left(-\frac{V_{sw,k}}{t_{on}} (t - t_{on}) \right) \right] dt = \frac{1}{6} V_{sw,k} I t_{on} \quad (20)$$

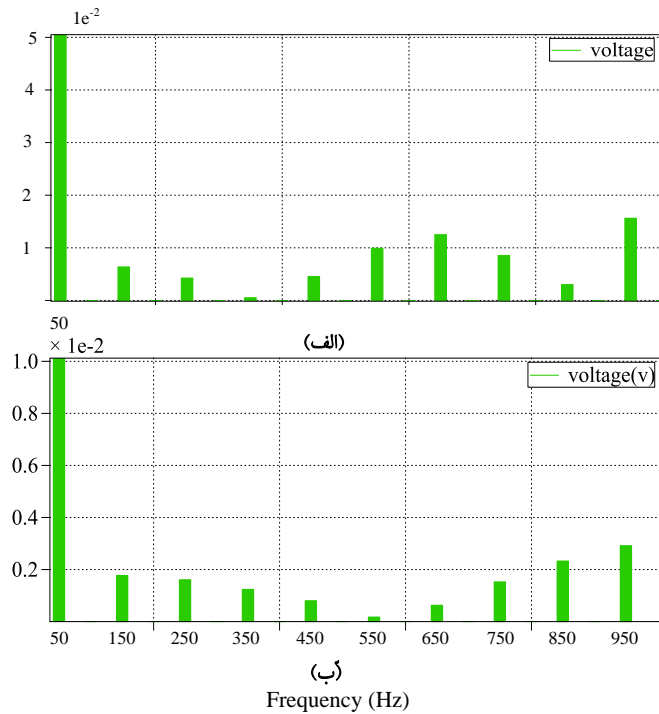
$$E_{off,k} = \int_0^{t_{off}} v(t)i(t)dt = \int_0^{t_{off}} \left[\left(\frac{V_{sw,k}}{t_{off}} t \right) \left(-\frac{I}{t_{off}} (t - t_{off}) \right) \right] dt = \frac{1}{6} V_{sw,k} I t_{off} \quad (21)$$

$E_{on,k}$ و $E_{off,k}$ به ترتیب انرژی اتلافی در طول روشن و خاموش شدن کلید k هستند. ولتاژ قرارگرفته روی کلید قبل از روشن شدن و بعد از خاموش شدن می‌باشد و جریان کلید بعد از روشن شدن و قبل از خاموش شدن می‌باشد. تلفات کلیدزنی میانگین سلول پیشنهادی برابر است با:

$$P_{sw} = f \left[\sum_{k=1}^{n_T} \left(\sum_{i=1}^{N_{on,k}} E_{on,ki} + \sum_{i=1}^{N_{off,k}} E_{off,ki} \right) \right] \quad (22)$$

f فرکانس پایه (50Hz) و $N_{on,k}$ و $N_{off,k}$ به ترتیب تعداد دفعاتی هستند که کلید k در طول یک سیکل کاری خاموش و روشن می‌شود. n_T تعداد کل کلیدهای موجود در یک سلول اینورتری می‌باشد. تلفات کلی مبدل برابر است با:

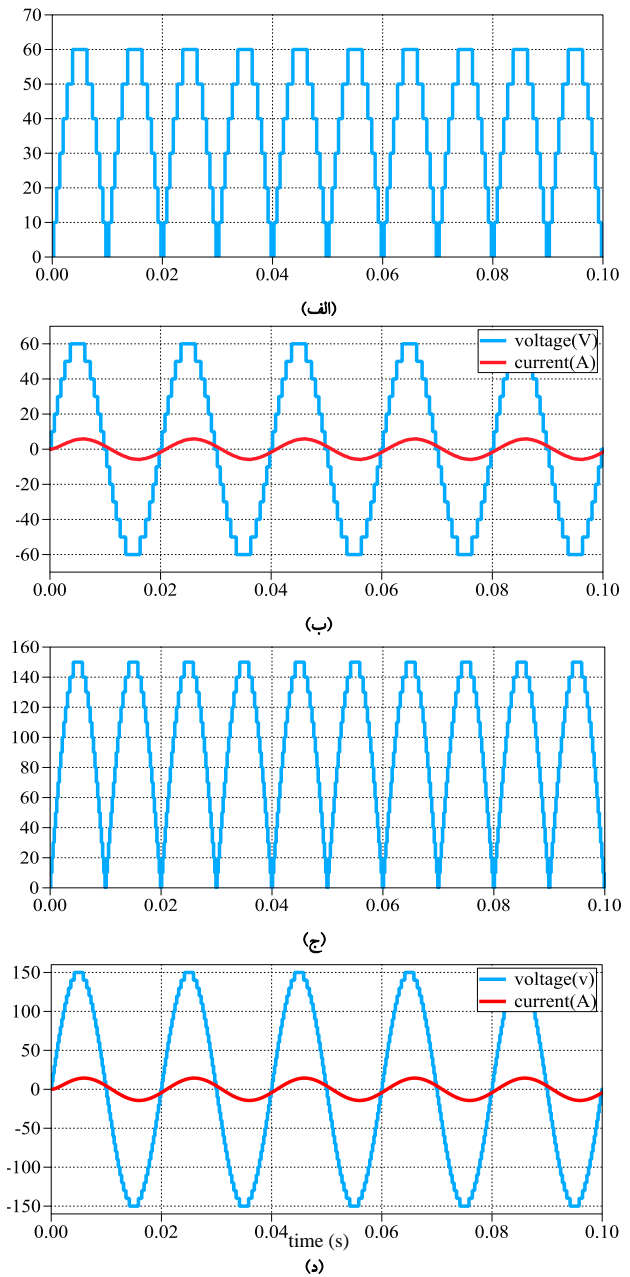
$$P_{Loss} = P_{cond} + P_{sw} \quad (23)$$



شکل (۸): طیف هارمونیک ولتاژ خروجی اینورتر پیشنهادی: (الف) حالت متقارن، (ب) حالت نامتقارن

۴. نتیجه‌گیری

این مقاله یک ساختار اینورتری چندسطحی جدید ارائه داده است که از اتصال سری زیرسیستم‌هایی تشکیل شده است که تنها قادر به تولید سطوح ولتاژ مثبت می‌باشند. بنابراین با اضافه کردن یک مدار پل H قابلیت تولید سطوح مثبت و منفی در مبدل ایجاد گردیده است. چهار الگوریتم متفاوت برای تعیین مقدار منابع DC در ساختار پیشنهادی بررسی شده است. کیفیت شکل موج‌های خروجی در این مبدل نسبت به اینورترهای چندسطحی قبلی بهبود پیدا کرده است و بعلاوه نسبت به اینورترهای چندسطحی رایج به ادوات کمتری نیاز دارد. عملکرد این مبدل در مقایسه با ساختارهای کلاسیک به طور کامل تجزیه و تحلیل شده است. ضریب اعوجاج پایین ولتاژ خروجی در این مبدل باعث کم شدن اندازه و هزینه فیلتر خروجی می‌شود.



شکل (۷): نتایج شبیه‌سازی اینورتر پیشنهادی: (الف) ولتاژ قبل از پل H حالت متقارن، (ب) ولتاژ و جریان خروجی حالت متقارن، (ج) ولتاژ قبل از پل H حالت نامتقارن (د) ولتاژ و جریان خروجی حالت نامتقارن

طیف هارمونیک ولتاژ خروجی اینورتر در حالت‌های متقارن و نامتقارن در «شکل ۸» آورده شده است. مطابق این شکل، ضریب اعوجاج هارمونیک کل (THD) ولتاژ خروجی در حالت‌های متقارن و نامتقارن به ترتیب برابر ۶/۳۷ و ۲/۶۱ درصد می‌باشد که اعداد قابل قبولی هستند.

- [15] E. Babaei, S. Laali, and Z. Bayat, "A single-phase cascaded multilevel inverter based on a new basic unit with reduced number of power switches," *IEEE Trans. Ind. Electron.*, vol. 62, no. 2, pp. 922–929, 2015.
- [1] J. Rodríguez, S. Member, J. Lai, and S. Member, "Multilevel Inverters : A Survey of Topologies , Controls , and Applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, 2002.
- [2] L. Franquelo, J. Rodriguez, J. Leon, S. Kouro, R. Portillo, and M. Prats, "The age of multilevel converters arrives," *IEEE Ind. Electron. Mag.*, vol. 2, no. 2, pp. 28–39, Jun. 2008.
- [3] J. Rodriguez, L. G. Franquelo, S. Kouro, J. I. Leon, R. C. Portillo, M. A. M. Prats, and M. A. Perez, "Multilevel Converters: An Enabling Technology for High-Power Applications," *Proc. IEEE*, vol. 97, no. 11, pp. 1786–1817, Nov. 2009.
- [4] N. A. Azeez, A. Dey, K. Mathew, J. Mathew, K. Gopakumar, and M. P. Kazmierkowski, "A medium-voltage inverter-fed im drive using multilevel 12-sided polygonal vectors, with nearly constant switching frequency current hysteresis controller," *IEEE Trans. Ind. Electron.*, vol. 61, no. 4, pp. 1700–1709, 2014.
- [5] J.-S. L. J.-S. Lai and F. Z. P. F. Z. Peng, "Multilevel converters-a new breed of power converters," *IAS '95. Conf. Rec. 1995 IEEE Ind. Appl. Conf. Thirtieth IAS Annu. Meet.*, vol. 3, no. 3, pp. 509–517, 1995.
- [6] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A survey on neutral-point-clamped inverters," *IEEE Trans. Ind. Electron.*, vol. 57, no. 7, pp. 2219–2230, 2010.
- [7] H. Jing and K. A. Corzine, "Extended operation of flying capacitor multilevel inverters," *IEEE Trans. Power Electron.*, vol. 21, no. 1, pp. 140–147, 2006.
- [8] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. A. Pérez, "A Survey on Cascaded Multilevel Inverters," *IEEE Trans. Ind. Electron.*, vol. 57, no. 7, pp. 2197–2206, Jul. 2010.
- [9] K. Tian, B. Wu, M. Narimani, D. Xu, Z. Cheng, and N. R. Zargari, "A capacitor voltage-balancing method for nested neutral point clamped (NNPC) Inverter," *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 2575–2583, 2016.
- [10] M. D. Manjrekar and T. A. Lipo, "A hybrid multilevel inverter topology for drive applications," *Appl. Power Electron. Conf. Expo. 1998. APEC '98. Conf. Proc. 1998., Thirteen. Annu.*, vol. 2, pp. 523–529 vol.2, 1998.
- [11] Sé. Daher, Jü. Schmid, and F. L. M. Antunes, "Multilevel Inverter Topologies for Stand-Alone PV Systems," *IEEE Trans. Ind. Electron.*, vol. 55, no. 7, pp. 2703–2712, Jul. 2008.
- [12] M. Monfared and S. Hashemizadeh Ashan, "Generalised single-phase N-level voltage-source inverter with coupled inductors," *IET Power Electron.*, vol. 8, pp. 2257–2264, 2015.
- [13] Y. Ounejjar, K. Al-Haddad, and L.-A. Grégoire, "Packed U Cells Multilevel Converter Topology: Theoretical Study and Experimental Validation," *IEEE Trans. Ind. Electron.*, vol. 58, no. 4, pp. 1294–1306, Apr. 2011.
- [14] K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, and S. Jain, "Multilevel inverter topologies with reduced device count: A review," *IEEE Trans. Power Electron.*, vol. 31, no. 1, pp. 135–151, 2016.



جمهوری اسلامی ایران
وزارت نیرو

کنفرانس بین المللی برق

آبان‌ماه ۱۳۹۵

PSC-2016

جناب آقای مرتضی آماده رودمجن

مقاله ارزشمند شما، با عنوان:

ارزیک ساختار جدید برای اینورتر تک فاز چند سطحی با کاهش تعداد ادوات الکترونیک قدرت
به وسیله هیات داوران و کمیته علمی درسی و مکتب کنفرانس بین المللی برق مورد پذیرش قرار گرفت و در مستندات
کنفرانس به ثبت رسید.

با ابراز خرسندی و تبریک به این مناسبت، از خداوند متعال سلامت و توفیق روز افزون شما را مسکت می نمایم.
اطمینان دارد با استمرار این کوشش ها در جهت افزایش توانمندی های علمی و پژوهشی کشور کام های مؤثرتری برداشته خواهد
شد.

آرش کردی
مدیر عامل شرکت توانیر
(رئیس کنفرانس)