Addressing Half-Select Problem in Single-Ended SRAM Cell

Sahar Fatemi[1], Ehsan Rahiminejad[2], Reza Lotfi[1*]

1-Department of Electrical Engineering, Ferdowsi University of Mashhad, Mashhad, Iran
2-Department of Electrical Engineering, Faculty of Electrical and Computer Engineering, Quchan, Iran
*Corresponding author

E-mails: fatemi.sahar@gmail.com; erahiminejad@qiet.ac.ir; r-lotfi@um.ac.ir

Short Abstract
In more advanced technologies where the supply voltage is smaller, "half-select problem" becomes more pronounced in SRAM cells. To alleviate this problem without imposing extra power consumption and area, in this paper, a single-ended 10-T structures is proposed. The proposed structure suits low-power applications and because of the cross-point structure, the bit interleaving architecture is allowed to achieve soft error immunity. Since no output node floats during read and write operation, the proposed structure is suitable for working in low operating voltage and high precision circuits. Simulations of a 0.6-V 1-MHz 1-kb SRAM array, confirm that in a 65-nm CMOS technology, the energy required to write a “0” in the single-ended scheme is 53 aJ/kb.
Keywords
SRAM, power consumption, leakage current, half-select problem, bit interleaving, power gating.

1- Short Introduction

The design of SRAM structure at low voltage has become one of the most important challenges of system design. Along with the parameters that are important for the design of SRAM cells, challenges such as read disturbance, half-selected cells problem and the floating node in the cell should also be considered. In some structures, by solving each of these challenges, other problems arise in memory stability and performance, which reduce cell performance, especially at low voltages.

2- Proposed Work and Methodology

In the proposed structure, the problem of half-selected cells has been solved, while problems such as read disturbance and floating output nodes do not occur in it. In addition to solving these problems, the problem of contention of transistors during writing has been solved with the help of the power gating technique. The power consumption of the proposed structure is reduced during writing so that, the logical "one" writing power in the proposed structure for 1kb SRAM is equal to 10.46nW in 0.4V.

3- Conclusion

In this article, a proposed structure for the SRAM cell is presented, in addition to improving the basic parameters, the important challenges of array design are also considered. The proposed structure, has used a separate reading path to solve the read disturbance problem. Also two series access transistors are used to solve the problem of half-selected cells. In addition, the contention of transistors in writing operation, has been solved by adding three transistors to the inverter.

4- References (2-3 references)

[1] K. Cho, , et al., One-sided schmitt-trigger-based 9T SRAM cell for near-threshold operation *IEEE Trans. Circuits Syst., I: Reg. Papers*, vol. 67, no. 5,pp. 1551-1561,Feb. 2020.

[2] T.W. Oh, et al., "Power-gated 9T SRAM cell for low-energy operation," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*., vol. 25, no. 3, pp. 1183- .1187, Nov. 2016.

[3] E. Abbasian, and S. Sofimowloodi, "Energy- efficient single-ended read/write 10t near-threshold sram," *IEEE Trans. Circuits Syst I: Reg. Papers*, vol. 70, no. 5, pp. 2037-2047, Feb. 2023.

ارائه راهکار برای مشکل سلول‌های نیمه-انتخابی در سلول SRAM تک‌سر

سحر فاطمی
دانشجوی دکتری، گروه مهندسی برق، دانشگاه فردوسی، مشهد، ایران

احسان رحیمی‌نژاد
استادیار، گروه مهندسی برق، دانشکده مهندسی برق و کامپیوتر، قوچان، ایران

رضا لطفی
استاد، گروه مهندسی برق، دانشگاه فردوسی، مشهد، ایران

چکیده
مشکل سلول‌های نیمه انتخابی یکی از مسائلی است که با پیشرفت تکنولوژی و کاهش ولتاژ، اهمیت بسیاری در طراحی سلول حافظه دسترسی تصادفی ایستا **(SRAM)** پیدا می‌کند. اتصال گره خروجی سلول‌های نگه‌دارنده داده در زمان نوشتن به ولتاژ **BL** پیش‌شارژ شده، ممکن است سبب تغییر داده‌ی این سلول‌ها شود. همچنین در صورت وجود مشکل سلول‌های نیمه انتخابی، استفاده از طراحی **bit-interleaving** امکان‌پذیر نیست. این مقاله یک ساختار جدید ۱۰ ترانزیستوری به صورت تک‌سر برای سلول **SRAM** پیشنهاد می‌کند که به منظور رفع مسئله سلول‌های نیمه انتخابی و بهبود عملیات نوشتن طراحی شده است. در این ساختار بدون اضافه شدن مدار کمکی و افزایش مساحت و توان مصرفی، این مشکل برطرف شده است. علاوه بر این، ساختار پیشنهادی برای مواردی که مصرف توان پایین اهمیت بالایی دارد مناسب است. با توجه به شبیه‌سازی‌های انجام شده برای حافظه ۱ کیلوبیت در تکنولوژی **۶۵nm** و مقایسه با سایر ساختارها، در ساختار پیشنهادی انرژی نوشتن "صفر" **۵۳aJ/kb** در ولتاژ **۰/۶V** و فرکانس **۱MHz** به دست آمده است.

کلمات کلیدی
SRAM، مصرف توان، جریان نشتی، سلول‌های نیمه‌انتخابی، bit-interleaving، قطع منبع.

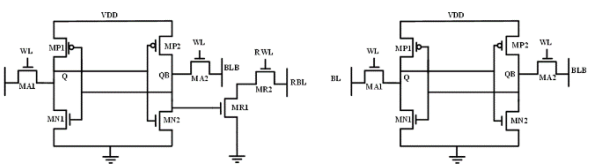
نام نویسنده مسئول: دکتر رضا لطفی
ایمیل نویسنده مسئول: r-lotfi@um.ac.ir

تاریخ ارسال مقاله:
تاریخ(های) اصلاح مقاله:
تاریخ پذیرش مقاله:

۱- مقدمه

حافظه دسترسی تصادفی ایستا (SRAM) یکی از مهم‌ترین بخش‌های تشکیل‌دهنده مدارهای دیجیتال است که تاثیر بسیاری در مصرف توان و عملکرد سیستم بر روی یک چیپ (SoC) دارد[۱]. با افزایش کاربرد سیستم‌های دیجیتال قابل حمل، لزوم کاهش مصرف توان این سلول‌ها بیش از پیش اهمیت پیدا کرده که در نتیجه، طراحی سلول SRAM در ولتاژ پایین را به یکی از مهم‌ترین چالش‌های طراحی تبدیل نموده است[۲]. یکی از بهترین راه‌های کاهش مصرف توان، کاهش ولتاژ منبع می‌باشد که به میزان قابل توجهی سبب کاهش مصرف توان ایستا و پویا می‌گردد[۳]. اما در هنگام استفاده از این تکنیک، مسائلی مانند کاهش تعداد سلول‌های قرار گرفته در یک ستون به دلیل افزایش جریان نشتی و کاهش نسبت جریان روشن به خاموش $I_{ON/OFF}$، کاهش حاشیه نویز ایستا (SNM) و افزایش تغییرات بر اثر تغییرات پراسس، ولتاژ و دما (PVT) را باید در نظر گرفت.

ساختارهای متعددی برای بهبود عملکرد سلول SRAM به عنوان کلیدی‌ترین بخش حافظه SRAM طراحی شده‌اند که هر یک موجب بهبود برخی از پارامترهای طراحی این سلول گردیده‌اند. در ساختار ۶ ترانزیستوری متعارف که در شکل ۱ نمایش داده شده است، به دلیل مشترک بودن مسیر خواندن و نوشتن انتخاب ابعاد ترانزیستورها برای این عملیات در تقابل با یکدیگر است و در نتیجه برای طراحی این ساختار، ابعاد مشخصی را باید در نظر گرفت[۴]. این ساختار با وجود سادگی، در ولتاژهای پایین با مشکلات متعددی روبرو می‌شود[۵]. با کاهش ولتاژ تغذیه، حاشیه نویز ایستای نوشتن (WSNM) و همچنین تعداد سلول‌هایی که در یک ستون می‌توانند قرار بگیرند کاهش می‌یابد.



(ب) (الف)

شکل ۱-ساختار سلول (الف) ۶ ترانزیستوری (ب) ۸ ترانزیستوری متعارف

در این ساختار، مشکل مزاحمت خواندن و کوچک شدن حاشیه نویز ایستای خواندن یا RSNM نیز وجود دارد. مزاحمت خواندن در هنگام عملیات خواندن و در گره‌ی خروجی سلول که داده‌ی "صفر" را ذخیره می‌کند رخ

می‌دهد. با روشن بودن ترانزیستور دسترسی، داده‌ی این گره ممکن است تحت تاثیر ولتاژ پیش‌شارژ خط بیت یا bit-line(BL)، دچار نویز شود و یا در ولتاژهای پایین امکان تغییر داده نیز وجود دارد.

ساختار ۸ ترانزیستوری متعارف که در شکل ۱ مشاهده می‌گردد، با افزودن دو ترانزیستور به سلول ۶ ترانزیستوری و ایجاد مسیر خواندن جدا شده از گره خروجی، موجب بهبود پایداری خواندن نسبت به ساختار ۶ ترانزیستوری می‌گردد. با جدا کردن گره‌ی داده از مدار خواندن، حاشیه نویز خواندن با حاشیه نویز نگه‌داری (HSNM) برابر شده و قابلیت خواندن به میزان قابل توجهی بهبود می‌یابد. اما این مسیر، سبب افزایش جریان نشتی و توان ایستای سلول می‌گردد. برخی از ساختارها مانند [۶-۸] با قرار دادن یک ترانزیستور بین گره‌ی فیدبک اینورتر و گره خواندن، مسئله مزاحمت خواندن را برطرف نموده‌اند. اما در ساختار [۶] خاموش بودن این ترانزیستور در زمان نوشتن، موجب کند شدن و کاهش قابلیت نوشتن می‌گردد. در ساختار [۷, ۸] نیز اضافه شدن ترانزیستور مذکور سبب شناور شدن گره خروجی در زمان خواندن و نوشتن در سلول‌های غیرفعال می‌گردد. در [۹-۱۱] از ساختار اشمیت-تریگر برای بهبود عملیات خواندن و نوشتن با کمک فیدبک استفاده شده است. مشکلی که در [۹] وجود دارد مزاحمت در زمان خواندن می‌باشد.

با فعال شدن خط کلمه یا word-line(WL) در هنگام نوشتن علاوه بر سلول انتخاب شده، سایر سلول‌هایی که WL مشترک با سلول مورد نظر دارند نیز به BL متصل می‌شوند که این امر سبب بروز نویز در گره خروجی سلول در حالت نگه‌داری یا مشکلی مشابه مسئله مزاحمت در زمان خواندن می‌شود که به آن مشکل شبه خواندن یا سلول‌های نیمه انتخابی می‌گویند. در مدارهایی که مسئله سلول‌های نیمه انتخابی در زمان نوشتن در نظر گرفته نشده، استفاده از ساختار bit-interleaving ممکن است سبب بروز مشکل گردد. زیرا اشتراک WL در یک ردیف، موجب می‌شود که احتمال نوشتن و تغییر داده در این سلول‌ها وجود داشته باشد. این امر در زمان نوشتن، پایداری نگه‌داری داده‌ی این سلول‌ها را به شدت کاهش می‌دهد. مدارهای [۱۲-۱۶] از ساختار متقاطع سطر و ستون یعنی دو ترانزیستور با کنترل ولتاژ گیت افقی و عمودی، برای ترانزیستورهای دسترسی خود استفاده کرده اند که این روش، مسئله‌ی سلول‌های نیمه انتخابی را برطرف می‌کند. در این نوع ساختار، توانایی نوشتن به دلیل وجود مقاومت بیشتر در مسیر BL و گره ذخیره‌کننده‌ی داده، با سری شدن دو ترانزیستور دسترسی دچار مشکل می‌گردد. علاوه بر این روش، استفاده از مدار کمکی نوشتن پس از خواندن مانند ساختار [۱۷] نیز برای رفع مشکل سلول‌های نیمه انتخابی به کار می‌رود که موجب افزایش مصرف توان و مساحت مدار می‌گردد[۱۸].

یکی از بهترین روش‌ها برای کمک به عملیات نوشتن، قطع مسیر زمین یا منبع ولتاژ از گره نوشتن است که سبب افزایش سرعت این عملیات می‌شود و در ساختارهای [۱۲, ۱۹-۲۳] به کار رفته است. اما در صورتی که قطع مسیر زمین یا منبع ولتاژ در تمام یک ردیف یا یک ستون انجام شود، ممکن است سبب شناور شدن گره خروجی سایر سلول‌ها و احتمال تغییر داده آن‌ها بر اثر نویز گردد. بنابراین شناور شدن گره‌ی خروجی تنها باید در سلول‌هایی که در حال نوشتن هستند انجام گردد.

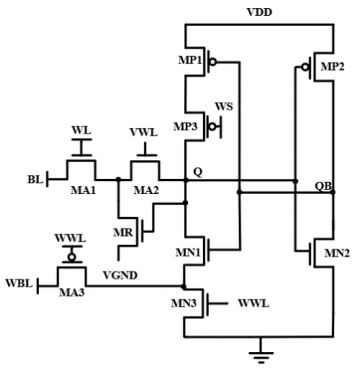
در ساختارهای [۱۰, ۲۴, ۲۵] دو ترانزیستور برای حذف رقابت ترانزیستورها در زمان نوشتن، گره‌ی خروجی را از منبع و زمین جدا می‌کنند تا نوشتن داده بهبود یابد. اما مشکل سلول‌های نیمه انتخابی و احتمال تغییر داده در سلول‌های دیگر به دلیل شناور شدن گره خروجی همچنان پابرجاست. در ساختار ارائه شده در [۱۲] برای کمک به عمل نوشتن، ارتباط اینورتر سمت نوشتن با منبع و زمین قطع می‌شود. اما برای نوشتن "یک" منطقی نیاز به تقویت WL می‌باشد. همچنین قطع مسیر منبع ولتاژ و زمین، در تمام سلول‌های ردیف انتخاب شده رخ می‌دهد که ممکن است سبب بروز خطا در این سلول‌ها و تغییر داده‌ی ذخیره شده در آن‌ها گردد.

علاوه بر این ساختارها، در بسیاری از طراحی‌ها از جمله [۲۶-۲۸] از بلوک‌های کمکی برای بهبود عملکرد سلول حافظه به خصوص در هنگام عملیات نوشتن استفاده می‌شود. در این‌گونه ساختارها معمولا از سلول ۶ ترانزیستوری به عنوان حافظه استفاده می‌شود که در نتیجه مسائلی مانند مزاحمت خواندن و مشکل سلول‌های نیمه انتخابی در آن‌ها برطرف نشده است.

در این مقاله یک ساختار جدید برای سلول SRAM ارائه شده است که با کمک تکنیک قطع منبع، مصرف توان سلول کاهش می‌یابد و مسئله‌ی رقابت ترانزیستورها در زمان نوشتن بدون شناور شدن گره‌ی خروجی سایر سلول‌ها برطرف می‌شود. همچنین در این سلول، مشکل سلول‌های نیمه‌انتخابی با استفاده از ساختار متقاطع بروز نمی‌کند و با وجود استفاده از ساختار متقاطع نیازی به مدار کمکی برای نوشتن وجود ندارد. در ساختار پیشنهادی برای کاهش جریان نشتی مسیر خواندن، از زمین مجازی استفاده شده است.

۲- ساختار پیشنهادی

ساختار پیشنهادی در شکل ۲ نمایش داده شده است. این ساختار در کنار برطرف کردن چالش‌های اساسی قرار گرفتن سلول SRAM در آرایه، رقابت ترانزیستورها در زمان نوشتن را برطرف کرده است که این امر موجب کاهش مصرف توان در زمان نوشتن می‌گردد. در ساختارهای مختلف، برای رفع برخی از مشکلات خواندن و نوشتن مانند مزاحمت خواندن و سلول‌های نیمه انتخابی و حذف رقابت ترانزیستورها، برخی از ترانزیستورهای سلول خاموش می‌شوند که این امر سبب شناور شدن گره‌ی خروجی و احتمال بروز خطا در سایر سلول‌های ردیف یا ستون می‌گردد. در ساختار پیشنهادی این مسئله در سلول‌های آرایه بروز نمی‌کند و بدین ترتیب احتمال خطا در آرایه کاهش می‌یابد. در بخش پایین برنده ولتاژ، با قطع ترانزیستور MN3 در تمام ردیف انتخاب شده، ترانزیستور MA3 مانع شناور شدن گره خروجی می‌گردد و در بخش بالا برنده ولتاژ، ترانزیستور MP3 در صورت نوشتن داده "صفر" در تمام ستون قطع می‌شود که مسیر جایگزین MR، MA2 مانع شناور شدن گره خروجی در سایر سلول‌ها می‌گردد.



شکل ۲- ساختار سلول SRAM پیشنهادی

در زمان نگه‌داری داده، ترانزیستورهای دسترسی خاموش و ارتباط BL پیش‌شارژ شده با گره خروجی قطع است. همچنین ترانزیستورهای MP3 و MN3 برای ارتباط گره‌ی خروجی با منبع و زمین روشن هستند. ترانزیستور MA3 خاموش و WBL برای کاهش جریان نشتی برابر با صفر است.

یکی از متداول‌ترین روش‌ها برای حذف مسئله سلول‌های نیمه انتخابی استفاده از دو ترانزیستور دسترسی با کنترل گیت افقی و عمودی است. معمولا

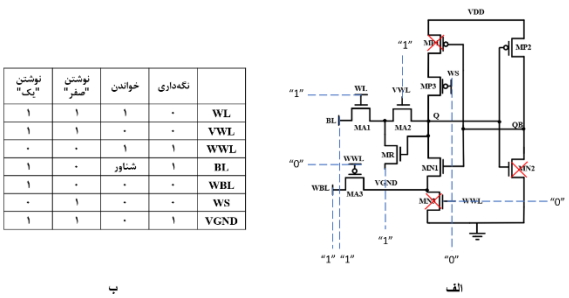
برای سرعت بالاتر از ترانزیستورهای NMOS برای ارتباط سلول و BL استفاده می‌شود که این امر، نوشتن داده "یک" منطقی را با مشکل مواجه می‌کند. در این ساختار، ترانزیستورهای MN3 و MA3 برای بهبود عملیات نوشتن "یک" منطقی به مدار اضافه شده‌اند که در زمان نوشتن این داده، با "صفر" شدن WWL و خاموش شدن ترانزیستور MN3 ارتباط گره‌ی خروجی با زمین قطع شده و داده "یک" منطقی از طریق WBL و ترانزیستور MA3 به سلول اعمال می‌شود. به این ترتیب علاوه برحذف مسئله رقابت ترانزیستورها، جریان نوشتن افزایش یافته و عملیات نوشتن بهبود می‌یابد.

رقابت بین ترانزیستورهای NMOS و PMOS سلول در زمان نوشتن موجب افزایش مصرف توان مدار می‌شود. در صورتی که داده ذخیره شده در سلول با داده نوشتن متفاوت باشد، بین ترانزیستور نگه‌دارنده داده و ترانزیستور دسترسی برای تغییر داده در سلول، رقابت پیش می‌آید که این مسئله سبب افزایش مصرف توان در هنگام نوشتن می‌گردد. در ساختار پیشنهادی برای حذف این مولفه‌ی توان مصرفی، از سه ترانزیستور MP3 و MN3 و MA3 استفاده شده است که ترانزیستور MP3 رقابت در زمان نوشتن "صفر" را با قطع مسیر منبع ولتاژ برطرف می‌کند. بدین ترتیب "صفر" بدون هیچ مزاحمتی به اینورتر اعمال می‌شود. در زمان نوشتن "یک" ، دو ترانزیستور MN3 و MA3 با قطع ارتباط زمین با گره خروجی و اعمال ولتاژ "یک" منطقی سبب حذف مشکل رقابت و کمک به داده نوشتن می‌گردند. ترانزیستور MN3 در حالت نگه‌داری و خواندن داده، اتصال زمین و اینورتر را برقرار می‌کند و در زمان نوشتن، این ترانزیستور خاموش شده و داده ازطریق MA3 به سلول اعمال می‌شود. به این ترتیب داده‌ی نوشتن هم از طریق ترانزیستور دسترسی و هم از مسیر ترانزیستور MA3 به سلول اعمال می‌شود. از آنجایی که وجود دو ترانزیستور دسترسی سری از نوع NMOS نوشتن داده "یک" منطقی را مشکل می‌کند، MN3 و MA3 به سورس ترانزیستور پایین برنده MN1 متصل می‌شوند تا به نوشتن ولتاژ "یک " منطقی در زمان صفر بودن داده ذخیره شده کمک کنند. به این ترتیب مشکل نوشتن داده "یک" منطقی از طریق ترانزیستور دسترسی با کنترل گیت افقی و عمودی برطرف می‌شود.

برای نوشتن داده "صفر" نیز خاموش شدن ترانزیستور MP3 سبب تسهیل نوشتن می‌شود. در بخش بالا برنده ولتاژ اینورتر، برای این‌که خاموش شدن ترانزیستور MP3 در تمام ستون سلول در حال نوشتن، موجب شناور شدن گره خروجی در سایر سلول‌ها نشود، وجود مسیر کمکی MR و MA2 کمک می‌کند که گره خروجی سلول در صورت "یک" بودن شناور نشود و ولتاژ آن در اثر نویز کاهش نیابد. به این ترتیب علاوه بر حل مسئله رقابت ترانزیستورها، مشکل شناور شدن گره خروجی سایر سلول‌ها در این مدار به وجود نخواهد آمد.

برای خواندن داده، از مسیر جداگانه MR و MA1 از گره‌ی خروجی استفاده شده که موجب افزایش حاشیه نویز ایستای خواندن و حذف مزاحمت خواندن می‌شود. برای کاهش جریان نشتی از زمین مجازی برای مسیر خواندن استفاده گردیده است که در زمان خواندن، "صفر" و در سایر حالات "یک" منطقی است. استفاده از زمین مجازی سبب کاهش مصرف توان در زمان نگه‌داری داده می‌گردد. در زمان خواندن داده، در صورتی که داده‌ی گره‌ی خروجی برابر با "یک" باشد، با "صفر" بودن زمین مجازی در ستون انتخاب شده BL دشارژ می‌شود و در غیر این صورت BL به صورت پیش‌شارژ باقی می‌ماند.

در شکل ۳ عملکرد سلول پیشنهادی در زمان نوشتن داده "یک" نمایش داده شده است. همچنین در جدول شکل ۳، وضعیت سیگنال‌های کنترلی ساختار پیشنهادی برای عملیات نوشتن، خواندن و نگه‌داری داده ارائه شده است. سیگنال کنترلی WS به صورت آگاه به داده یا data aware است که با توجه به داده‌ای که باید نوشته شود، ترانزیستور MP3 را خاموش یا روشن می‌کند.



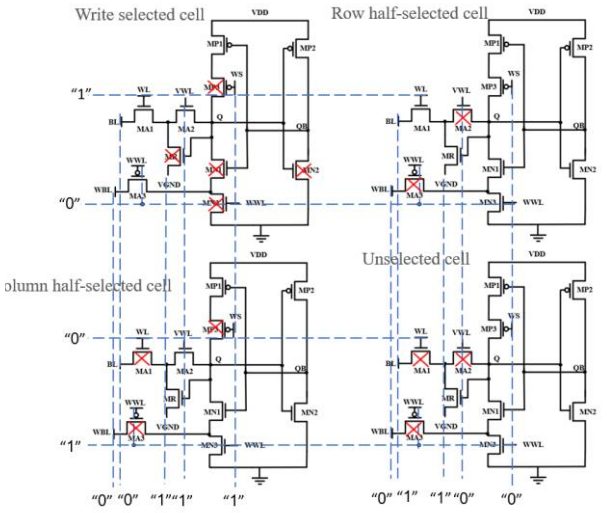
	نگه‌داری	خواندن	نوشتن "صفر"	نوشتن "یک"
WL	۰	۱	۱	۱
VWL	۰	۰	۱	۱
WWL	۱	۱	۰	۰
BL	۱	شناور	۰	۱
WBL	۰	۰	۰	۱
WS	۰	۰	۱	۰
VGND	۱	۰	۱	۱

ب

الف

شکل ۳- الف) ساختار پیشنهادی در زمان نوشتن "یک" منطقی ب) جدول سیگنال‌های کنترلی

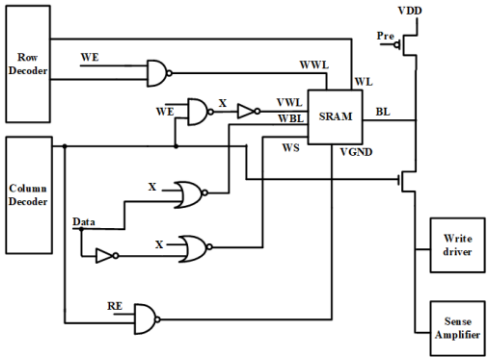
در ساختار پیشنهادی، وجود دو ترانزیستور دسترسی به صورت سطری و ستونی، مشکل سلول‌های نیمه انتخابی را برطرف می‌نماید. در شکل ۴ وضعیت سلول‌های هم‌ردیف و هم‌ستون با سلول نوشتن داده "صفر" مشاهده می‌گردد. با توجه به شکل ۴ در هر یک از سلول‌های نیمه انتخابی یکی از ترانزیستورهای دسترسی خاموش و ارتباط BL و سلول قطع است.



شکل ۴- وضعیت سلول‌های قرار گرفته در ردیف و ستون سلول در حال نوشتن "صفر"

۱-۲- طراحی آرایه

همان‌طور که پیش از این ذکر شد، علاوه بر پارامترهای طراحی، چالش‌هایی برای قرار گرفتن سلول در آرایه وجود دارد که برخی از آن‌ها مورد بررسی قرار گرفت. آرایه حافظه مجموعه ای از بلوک‌ها است که سلول SRAM یکی از مهم‌ترین آن‌ها است. علاوه بر سلول SRAM بلوک‌های دیگری مانند دیکدر و مدار پیش‌شارژ نیز در مدار حافظه وجود دارند که طراحی آن‌ها نیز در عملکرد کلی حافظه موثر است. همچنین سیگنال‌های کنترلی برای کنترل زمان روشن و خاموش شدن هر کدام از بلوک‌ها در مدار وجود دارند که تنظیم زمان فعال و غیر فعال شدن آن‌ها توسط بلوک‌های کنترلی انجام می‌شود. در شکل ۵، آرایه‌ی طراحی شده برای ساختار پیشنهادی ارائه شده است. دیکدر سطر و ستون در تنظیم سیگنال‌های کنترلی ترانزیستورهای دسترسی نقش دارند و سبب روشن شدن ترانزیستورها در یک ردیف یا ستون می‌شوند. داده ورودی هم از طریق WBL و هم BL به سلول اعمال می‌گردد.



شکل ۵- آرایه حافظه پیشنهادی برای ساختار سلول SRAM

زمین مجازی VGND در زمان خواندن داده سلول، در ستون مورد نظر برابر با "صفر" و در زمان نگه‌داری و نوشتن برابر با "یک" است. سیگنال WS نیز در ستون مورد نظر و با کمک دیکدر ستون در صورت "صفر" بودن داده‌ی نوشتن، برابر با "یک" شده و ترانزیستور PMOS بالابرنده ولتاژ را خاموش می‌کند. از آنجایی که BL خواندن و نوشتن در ساختار پیشنهادی مشترک است، BL علاوه بر اتصال به ترانزیستور پیش‌شارژ، به بلوک راه‌انداز نوشتن برای عملیات نوشتن و تقویت‌کننده حسی برای عملیات خواندن متصل است. سیگنال‌های فعال ساز نوشتن WE و خواندن RE به ترتیب اجازه انجام عملیات را در زمان نوشتن و خواندن می‌دهند که به همراه آدرس حافظه و داده‌ی نوشتن یا data به عنوان سیگنال‌های ورودی به مدار اعمال می‌گردند.

۲-۲- نتایج شبیه‌سازی و مقایسه

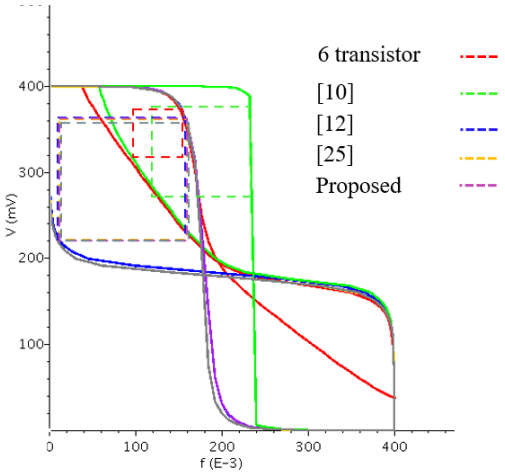
سلول پیشنهادی در تکنولوژی ۶۵ نانومتر با ولتاژ تغذیه ۰/۴ ولت پیاده‌سازی و شبیه‌سازی شده است. در این ساختار، ابعاد ترانزیستورها به صورت حداقل انتخاب شده است.

یکی از مهم‌ترین پارامترهای طراحی سلول SRAM حاشیه نویز ایستا در زمان خواندن، نوشتن و نگه‌داری داده است. به دلیل جداگانه بودن مسیر خواندن و سلول، حاشیه نویز نگه‌داری و خواندن در سلول ارائه شده با هم برابر اند. برای انجام مقایسه بین عملکرد سلول پیشنهادی و سایر سلول‌ها، ساختار ۶ ترانزیستوری و ساختارهای ارائه شده در [۱۰] و [۱۲] و [۲۵] در پارامتر RSNM مورد بررسی قرار گرفته‌اند. از آنجایی که مسیر خواندن در ساختار پیشنهادی و [۱۲] و [۲۵] مشابه یکدیگر هستند، حاشیه نویز ایستای خواندن یا RSNM در آن‌ها مقدار مشابهی دارد و برابر با حاشیه نویز ایستای نگه‌داری یا HSNM است. سلول [۱۰] با ساختار اشمیت‌تریگر نسبت به سایر ساختارها RSNM کمتری دارد و کمترین میزان RSNM مربوط به سلول ۶ ترانزیستوری است که برای بهبود خواندن از تکنیکی استفاده نکرده است. در شکل ۶ مقایسه حاشیه نویز ایستای خواندن سلول‌ها نمایش داده شده است.

حاشیه نویز ایستای نوشتن یا WSNM معیار مناسبی برای نشان دادن پایداری و عملکرد سلول در زمان نوشتن است. هر چه این مقدار بالاتر باشد، بدین معنا است که با تغییر کمتری در ولتاژ BL، داده سلول تغییر می‌کند و عمل نوشتن انجام می‌شود. به عبارت دیگر WSNM معیاری برای نشان دادن سهولت عملیات نوشتن است. در جدول ۱ مقدار WSNM برای ساختار پیشنهادی در ولتاژ منبع ۰/۴V نمایش داده شده است که نشان دهنده بالا بودن این پارامتر در ولتاژ ۰/۴V است. تمامی مقادیر جدول ۱ در گوشه و دمای نامی به دست آمده است.

برای محاسبه توان متوسط، این مقدار در هر یک از عملیات خواندن و نوشتن محاسبه می‌گردد. در جدول ۱ توان نوشتن داده "صفر" و "یک" ساختار پیشنهادی در آرایه حافظه ۱ کیلو بیت آورده شده است که با توجه به تک‌سر بودن و نبود رقابت در زمان نوشتن، توان مصرفی این ساختار کاهش می‌یابد. برای عملیات خواندن، از آنجایی که مقدار اولیه BL به صورت پیش‌شارژ است، محاسبه توان خواندن برای سلول با داده "صفر" در نظر گرفته شده است.

در طراحی سلول SRAM، توان مصرفی از اهمیت بسیار بالایی برخوردار است و بخش قابل توجهی از مصرف توان در آرایه حافظه توسط سلول‌های حافظه انجام می‌شود. در تکنولوژی‌های جدید با افزایش اهمیت توان نشتی، این پارامتر به یکی از چالش‌های مهم طراحی تبدیل شده است و با کاهش ولتاژ منبع سهم بیشتری در مصرف توان کل دارد. در ساختار پیشنهادی، وجود زمین مجازی در مسیر خواندن سبب کاهش جریان نشتی این مسیر و در نتیجه کاهش توان نشتی در زمان نگه‌داری داده می‌گردد.



شکل ۶- RSNM در ساختارهای سلول SRAM

زمان دسترسی برای عملیات خواندن و نوشتن اندازه‌گیری می‌شود. در عملیات خواندن به دلیل تغییر ولتاژ BL در زمان خواندن داده "صفر"، زمان دسترسی برای خواندن این داده محاسبه می‌شود.

جدول ۱- عملکرد سلول پیشنهادی در ولتاژ ۰/۴۷

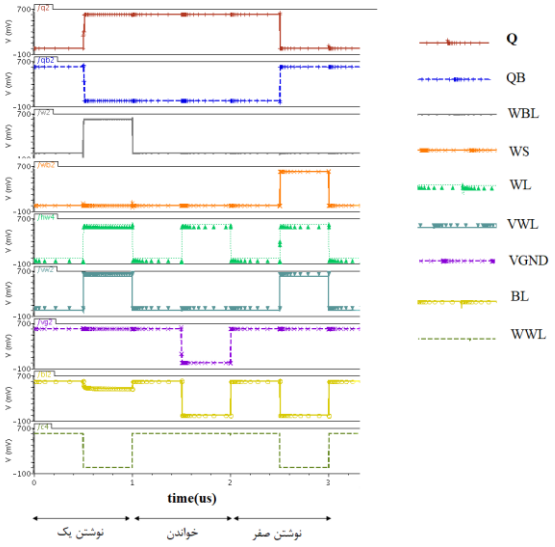
پارامتر	سلول پیشنهادی
تاخیر نوشتن "صفر"(ns)	۹/۳
تاخیر نوشتن "یک"(ns)	۹۲/۵
تاخیر خواندن(ns)	۱۷/۴
توان نوشتن "صفر"(pW)	۴۰/۶۴
توان نوشتن "یک"(pW)	۴۴/۲۴
توان خواندن(pW)	۳۹/۵۲
توان نشتی (pW)	۱۴/۳۲
WSNM(V)	۰/۲۱۸
Vmin(V)	۰/۲۶۹

زمان دسترسی برای نوشتن، زمان لازم برای رسیدن ولتاژ گره‌ی خروجی سلول به ۹۰ درصد مقدار نهایی برای داده "یک" و ۱۰درصد ولتاژ اولیه برای نوشتن داده "صفر" در نظر گرفته می‌شود. زمان دسترسی در ساختارهای

تک‌سر به دلیل وجود تنها یک BL و انجام عملیات خواندن و نوشتن از یک سمت سلول، بیشتر از تفاضلی است. در ساختار پیشنهادی با توجه به تک‌سر بودن نوشتن، زمان دسترسی از ساختارهای با نوشتن تفاضلی بیشتر است. همچنین زمان نوشتن داده "یک" به دلیل سری بودن دو ترانزیستور NMOS در مسیر دسترسی از زمان نوشتن "صفر" بیشتر است.

با توجه به عملکرد سلول پیشنهادی و نتایج به دست آمده در جدول ۱، به دلیل عدم وجود مشکلات مزاحمت خواندن و سلول‌های نیمه انتخابی ساختار پیشنهادی در مدارهایی که به دقت بالا و خطای کمتر نیاز دارند کاربرد دارد. مصرف توان این ساختار به دلیل تک‌سر بودن و همچنین عدم رقابت بین ترانزیستورهای سلول در زمان نوشتن پایین است. در نتیجه ساختار پیشنهادی در مواردی که نیاز به توان مصرفی کمتر است، مورد استفاده قرار می‌گیرد. همچنین این سلول با توجه به ساختار طراحی شده سبب کاهش توان نشتی می‌شود و این امر موجب می‌گردد که استفاده از این ساختار در ولتاژ تغذیه پایین سبب بهبود توان نشتی گردد.

کمترین ولتاژی که در آن، مدار در حالت خواندن و نوشتن و نگه‌داری داده به درستی عمل می‌کند و داده با نوشتن از دست نمی‌رود، به عنون V_{min} ایستا شناخته می‌شود. با درنظر گرفتن زمان دسترسی سلول‌ها علاوه بر پارامترهای ایستا در اندازه‌گیری V_{min}، می‌توان به زمان دسترسی پویا دست یافت[۲۲]. در ساختار پیشنهادی V_{min} توسط زمان دسترسی نوشتن محدود می‌شود.



شکل ۷- نمودار زمانی سیگنال‌های ورودی و خروجی ساختار پیشنهادی

عملکرد سیگنال‌های ورودی و خروجی به سلول در آرایه حافظه در شکل ۷ نمایش داده شده است. در بازه زمانی اول عملیات نوشتن "یک" انجام می‌شود. در بازه بعد این داده خوانده می‌شود و در نهایت داده "صفر" در سلول ذخیره می‌گردد. برای انجام مقایسه بین پارامترهای ساختار پیشنهادی و سایر ساختارها، در جدول ۲ نتایج شبیه‌سازی این ساختارها در ولتاژ تغذیه ۰/۶V مقایسه شده است. مقادیر سایر ساختارها بر طبق نتایج گزارش شده در [۲۵] در جدول ۲ آورده شده است. نتایج گزارش شده در [۲۵] برای حافظه ۱۶Kb به دست آمده است. در این جدول نوع ساختارها بر اساس تک‌سر و تفاضلی بودن عملیات خواندن و نوشتن ذکر شده است که ساختارهای تفاضلی زمان دسترسی کمتری نسبت به ساختارهای تک‌سر دارند. موارد دیگری که در جدول ۲ مقایسه شده‌اند، مسئله مزاحمت خواندن و سلول‌های نیمه انتخابی و همچنین شناور شدن سلول‌های در حالت نگه‌داری در زمان خواندن و نوشتن است که ساختار پیشنهادی در هر سه مورد بدون مشکل عمل می‌کند. ساختارهای [۹] و [۱۰] مزاحمت در زمان خواندن را کاهش داده‌اند. اما این مسئله به طور کامل رفع نشده است. همچنین ساختار [۱۰] مشکل سلول‌های نیمه انتخابی را کاهش داده و ساختار [۲۵] نیز از مدار کمکی نوشتن بعد از خواندن برای حل این مسئله استفاده کرده است. در تمام ساختارهایی که از روش قطع منبع یا زمین استفاده کرده‌اند به جز ساختار پیشنهادی، گره خروجی سلول‌های نیمه انتخابی در زمان نوشتن یا خواندن شناور می‌شود.

برای مقایسه عملکرد سلول‌ها در گوشه‌ها، نتایج بدترین گوشه برای WSNM و RSNM در جدول ۲ ذکر گردیده است. ساختار پیشنهادی، WSNMبالایی در گوشه SF و دمای ۴۰° - دارد.

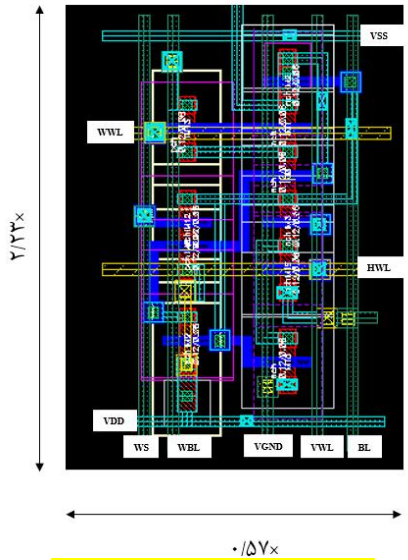
با توجه به جدول ۲، ساختار پیشنهادی توان مصرفی کمتری نسبت به سایر ساختارها دارند. مقایسه انرژی ساختارها نشان می‌دهد که کمترین انرژی مربوط به ساختار پیشنهادی است. برای مقایسه انرژی هر یک از عملیات به صورت نرمالیزه شده، انرژی هر ساختار به ازای یک کیلو بیت نیز در جدول ۲ آورده شده است که در تمام موارد به جز نوشتن داده "یک" در ساختار پیشنهادی، انرژی نرمالیزه شده ساختار پیشنهادی کمترین مقدار را در میان ساختارها دارد.

برای مقایسه عملکرد ساختار پیشنهادی و سایر ساختارهای جدول ۲ پارامتر (FOM) برای هر ساختار اضافه شده که از فرمول ۱ برای محاسبه آن استفاده شده است. طبق نتایج جدول ۲ مشاهده می‌گردد که بیشترین مقدار FOM مربوط به ساختار پیشنهادی است.

$$FOM = \frac{HSNM \times RSNM \times WSNM}{Write\ energy \times Read\ energy \times Area}$$

۳-۲- مساحت جانمایی

در شکل ۸ جانمایی سلول پیشنهادی مشاهده می‌گردد. با توجه به مقایسه ابعاد ساختار پیشنهادی و سلول ۶ ترانزیستوری شبیه سازی شده در تکنولوژی ۶۵nm، مساحت ساختار پیشنهادی ۱,۲۹ (۲,۲۳×۰,۵۷) برابر ساختار ۶ ترانزیستوری می‌باشد.

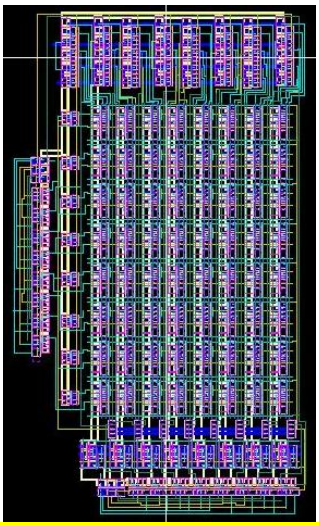


شکل۸- جانمایی ساختار پیشنهادی

جدول ۲- مقایسه پارامترهای شبیه‌سازی در ولتاژ ۰/۶V

		۶ترانزیستوری	[۱۰]	[۹]	[۱۸]	[۲۹]	[۲۵]	پیشنهادی
ساختار		تفاضلی/تفاضلی	تک‌سر/تک‌سر	تفاضلی/تفاضلی	تک‌سر/تفاضلی	تک‌سر/تک‌سر	تک‌سر/تک‌سر	تک‌سر/تک‌سر
تکنیک		-	قطع منبع، اشمیت تریگر	-	-	زمین شناور	قطع منبع	قطع منبع، ساختار متقاطع
مزاحمت زمان خواندن		برطرف نشده	برطرف نشده	برطرف نشده	برطرف شده	برطرف شده	برطرف شده	برطرف شده
مزاحمت سلول‌های نیمه انتخابی		برطرف نشده	کاملا برطرف نشده(بهبود یافته)	برطرف نشده	برطرف نشده	برطرف شده	با مدار کمکی برطرف شده	برطرف شده
شناور شدن گره خروجی		برطرف شده	برطرف نشده	برطرف شده	برطرف نشده	برطرف نشده	برطرف نشده	برطرف شده
تاخیر نوشتن "صفر"(ns)		۰/۱۲۹	۰/۲۴۴	۰/۱۶۳	۰/۱۳۳	۰/۷۳۸	۰/۶۹۷	۰/۶۵۱
تاخیر نوشتن "یک"(ns)		۰/۱۲۹	۰/۳۱۰	۰/۱۶۳	۰/۱۳۳	۰/۳۰۲	۰/۲۴۳	۶/۶۹
تاخیر خواندن(ns)		۰/۱۴۸	۰/۹۹۲	۰/۳۰۸	۰/۶۸۳	۰/۶۷۹	۰/۳۵۸	۰/۴۹۱
توان نوشتن "صفر"(uW)		۷۵/۹۳	۱۶/۷	۲۸/۰۵	۵۴/۵۷	۱۰/۲۱	۸/۵	۰/۰۸۲۵
توان نوشتن "یک"(uW)		۷۵/۹۳	۱۸/۹۲	۲۸/۰۵	۵۴/۵۷	۸/۱۷	۶/۷۵	۰/۰۷۵۳
توان خواندن(uW)		۳/۹۳	۴/۵	۲۲/۱۹	۴/۷۶	۶/۴۲	۵/۲۸	۰/۰۸۹۹
انرژی نوشتن "یک"	(fJ)	۹/۷۹	۵/۸۷	۴/۷۵	۷/۲۶	۲/۴۵	۱/۶۴	۰/۵۰۳
	(fJ/kbit)	۰/۶۱۱	۰/۳۶۶	۰/۳۰	۰/۴۵	۰/۱۵۳	۰/۱۰۲	۰/۵۰۳
انرژی نوشتن "صفر"	(fJ)	۹/۷۹	۴/۰۷	۴/۷۵	۷/۲۶	۷/۵۳	۵/۹۲	۰/۰۵۳
	(fJ/kbit)	۰/۶۱۱	۰/۲۵	۰/۳۰	۰/۴۵	۰/۴۷	۰/۳۷	۰/۰۵۳
انرژی خواندن	(fJ)	۵/۶۲	۴/۴۶	۶/۷۳	۳/۲۵	۴/۳۶	۱/۸۹	۰/۰۴۴
	(fJ/kbit)	۰/۳۵	۰/۲۸	۰/۴۲	۰/۲۰۳	۰/۲۷	۰/۱۱	۰/۰۴۴
WSNM در SF/-40° (V)		۰/۱۹۵	۰/۲۴۰	۰/۲۰۵	۰/۱۹۵	۰/۰۹۱	۰/۲۶۳	۰/۲۳۷
RSNM در FS/125° (V)		۰/۰۶۹	۰/۱۵۶	۰/۱۴۴	۰/۲۰۰	۰/۲۰۰	۰/۲۰۹	۰/۱۶۸
مساحت		۱×	۱/۴۸×	۲/۱۹×	۱/۷۴×	۱/۸۱×	۱/۶۷×	۱/۲۹×
FOM		۱×	۸/۹۲×	۵/۲۷×	۳/۹۸×	۱/۹۳×	۲۰/۲۵×	۳۴/۳۷×

ترانزیستورهای ساختار پیشنهادی به صورت حداقل ابعاد در نظر گرفته شده و در سلول ۶ ترانزیستوری ابعاد حداقلی لازم برای عملکرد صحیح عملیات خواندن و نوشتن در نظر گرفته شده است.



شکل۹- جانمایی آرایه ۶۴ بیت برای ساختار پیشنهادی

همچنین برای نمایش مساحت آرایه، برای حافظه ۶۴ بیت جانمایی انجام گرفته است که علاوه بر سلول SRAM، سایر بلوک‌ها نیز پیاده‌سازی شده‌اند. در شکل ۹ جانمایی آرایه ۶۴ بیت با مساحت ۴۸/۲۳×۲۷/۱۵۰ میکرو متر مربع مشاهده می‌گردد.

برای بررسی بهتر عملکرد ساختار پیشنهادی و اعمال اثر پارازیتیک اتصالات به شبیه‌سازی، نتایج پساجانمایی در جدول ۳ آورده شده است. با توجه به جدول ۳ مشاهده می‌گردد که با اضافه شدن اثر پارازیتیک اتصالات، زمان دسترسی افزایش می‌یابد.

جدول ۳- نتایج شبیه سازی پساجانمایی در ولتاژ ۰/۶V

	FF/-40°	FF/125°	FS/-40°	FS/125°	TT/25°	SF/-40°	SF/-125°	SS/-40°	SS/125°
تاخیر نوشتن "صفر"(ns)	۰/۱۳۲	۰/۱۱۱	۰/۱۸۷	۰/۱۳۲	۰/۲۶۱	۲/۹۲	۰/۵۱۶	۲/۷۱	۰/۵۲۰
تاخیر نوشتن "یک"(ns)	۱/۹۶	۰/۷۰۷	۴/۵	۱/۱۷۲	۱/۹۸	۲۱/۳۵	۵/۶۱	۱۵/۲۲	۳/۲۲
تاخیر خواندن(ns)	۰/۰۸۱	۰/۰۱۶	۰/۰۳۱	۰/۰۲۲	۰/۱۲۵	۰/۱۲۳	۰/۰۶۹	۰/۲۲۷	۰/۰۷۱
توان نوشتن "صفر"(nW)	۰/۱۹۸	۶/۷۰۲	۰/۱۹	۲/۱۸	۱/۳۳	۰/۱۹	۰/۷۲	۰/۱۹	۰/۲۳
توان نوشتن "یک"(nW)	۰/۱۳۵	۴/۱۵۲	۰/۱۱	۱/۰۶	۰/۸۱۲	۰/۳۷	۰/۹۰	۰/۲۱	۰/۲۶۶
توان خواندن(nW)	۰/۰۲۲	۷/۲۲	۰/۰۵۷	۲/۱۶	۱/۲۶	۰/۰۲۲	۱/۱۲	۰/۰۲۲	۰/۰۸۶
توان DC (nW)	۰/۰۱۲	۳/۵۵	۰/۰۲۲	۰/۷۲	۰/۴۲	۰/۰۱۲	۰/۲۳	۰/۰۱۲	۰/۰۳۲
RSNM (mV)	۲۲۶	۱۹۱	۱۶۲	۱۸۳	۲۲۵	۲۲۰	۲۲۳	۲۲۱	۲۲۲
WM0(mV)	۲۳۷	۲۱۶	۲۰۸	۲۸۶	۲۵۶	۲۰۷	۲۲۵	۲۲۶	۲۱۵
WM1(mV)	۲۲۷	۲۳۱	۲۱۶	۲۰۳	۲۲۹	۱۹۰	۱۹۲	۲۲۶	۲۰۲

۳- نتیجه‌گیری

در این مقاله یک ساختار پیشنهادی برای سلول SRAM ارائه شده است که علاوه بر بهبود پارامترهای اساسی، چالش‌های مهم طراحی آرایه نیز در آن در نظر گرفته شده است. در ساختار پیشنهادی، از مسیر جداگانه خواندن برای بهبود عملیات خواندن و از دو ترانزیستور دسترسی سری برای حل مسئله

مزاحمت سلول‌های نیمه انتخابی استفاده شده است. همچنین رقابت ترانزیستورها در زمان نوشتن با افزودن سه ترانزیستور به اینورتر برطرف شده است.

علاوه بر این، مشکل شناور شدن گره‌ی خروجی که با قطع مسیر منبع ولتاژ یا زمین در ساختارهای پیشین بروز می‌کرد در این ساختار وجود ندارد. هر کدام از مسائل مزاحمت سلول‌های نیمه انتخابی، مزاحمت در زمان خواندن و شناور شدن گره‌ی خروجی موجب کاهش قابلیت اطمینان حافظه می‌گردد و احتمال تغییر داده بر اثر نویز را در آن‌ها به وجود می‌آورد. ساختار پیشنهادی با وجود برطرف کردن چالش‌های اساسی ذکر شده، کمترین میزان مصرف انرژی را در میان ساختارها دارد.

در ساختار پیشنهادی با استفاده از تکنیک قطع منبع و به دلیل استفاده نکردن از مدار کمکی برای تقویت عملکرد مدار، توان مصرفی کاهش یافته است که به دلیل تکسر بودن و همچنین عدم وجود مدار کمکی، به قیمت افزایش تاخیر در زمان نوشتن "یک" انجام گرفته است. همچنین عدم شناور شدن گره خروجی و عدم احتمال بروز مشکل سلول‌های نیمه انتخابی در زمان نوشتن، موجب می‌گردد که احتمال بروز خطا در ولتاژهای پایین و تغییرات دما کاهش یابد.

مراجع

[1] .۱ L. Lu, T. Yoo, and T.T.-H. Kim, "A 0.506-pJ 16-kb 8T SRAM with vertical read wordlines and selective dual split power lines," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*., vol. 28, no. 6, pp. 1345-1356, Apr. 2020.

[2] S. Pal, W. -H. Ki and C. -Y. Tsui, "Soft-Error- Aware Read-Stability-Enhanced Low-Power 12T SRAM With Multi-Node Upset Recoverability for Aerospace Applications," *IEEE Trans. Circuits Syst., I: Reg. Papers*, vol. 69, no. 4, pp.1560-1570, Apr. 2022.

[3] A. Calimera, , et al., "Design techniques and architectures for low-leakage SRAMs," *IEEE Trans. Circuits Syst., I: Reg. Papers*, vol. 59, no. 9, pp. 1992-2007, Feb. 2012.

[4] A. Grover, et al., "A 32 kb 0.35–1.2 V, 50 MHz–SRAM 2.5 GHz bit-interleaved SRAM with 8 T cell and data dependent write assist in 28-nm UTBB-FDSOI CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, .no. 9, pp. 2438-2447, Jun. 2017.

[5] N. Verma, and A.P. Chandrakasan, "A 256 kb 65 nm 8T subthreshold SRAM employing sense-redundancy," *IEEE Journal of Solid- amplifier State Circuits*, vol. 43, no. 1, pp. 141-149, 2008.

[6] C.-H. Lo and S.-Y. Huang, "PPN based 10T SRAM cell for low-leakage and resilient subthreshold operation," *IEEE J. Solid-State Circuits*, vol.46, no. 3, pp. 695-704, Sep. 2011.

[7] M.-F. Chang, et al., "A 130 mV SRAM with expanded write and read margins for subthreshold applications," *IEEE J. Solid-State Circuits*, vol. 46, no. 2, pp. 520-529, Dec. 2010.

[8] C. Kushwah, and S.K. Vishvakarma, "A single-ended with dynamic feedback control 8T subthreshold SRAM cell," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*., vol. 24, no. 1, pp. 373-377, Jan. 2015.

[9] J.P. Kulkarni, K. Kim, and K. Roy, "A 160 mV robust Schmitt trigger based subthreshold SRAM," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, pp. 2303-2313, Sep. 2007.

[10] K. Cho, , et al., One-sided schmitt-trigger-based 9T SRAM cell for near-threshold operation *IEEE Trans. Circuits Syst., I: Reg. Papers*, vol. 67, no. 5,pp. 1551-1561,Feb. 2020.

[11] E. Abbasian, F. Izadinasab, and M. Gholipour, "A reliable low standby power 10T SRAM cell with expanded static noise margins," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 69, no. 4, pp. 1606-1616, Aug. 2022.

[12] T.W. Oh, et al., "Power-gated 9T SRAM cell for low-energy operation," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*., vol. 25, no. 3, pp. 1183- .1187, Nov. 2016.

[13] I.J. Chang, et al., "A 32 kb 10T sub-threshold SRAM array with bit-interleaving and differential read scheme in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 2, p p. 650-658, Jan. 2009.

[14] M.-H.Tu, et al., "A single-ended disturb-free 9T subthreshold SRAM with cross-point data-aware write word-line structure, negative bit-line, and adaptive read operation timing tracing," *IEEE J. Solid-State Circuits*, vol. 47, no. 6, pp. 1469-1482, Apr. 2012.

[15] M.-H, Chang, Y.-T. Chiu, and W. Hwang, "Design and Iso-Area Vmin Analysis of 9T Subthreshold SRAM With Bit-Interleaving Scheme in 65-nm CMOS," *IEEE Trans. Circuits Syst., II: Exp. Briefs*, vol. 59, no. 7, pp. 429-433, Jun. 2012

[16] Y.-W. Chiu, et al., "40 nm bit-interleaving 12T subthreshold SRAM with data-aware write-assist," *IEEE Trans. Circuits Syst., I: Reg. Papers*, vol. 61, no. 9, pp. 2578-2585, Aug. 2014

[17] G. Pasandi, and M. Pedram, "Internal write - back and read - before - write schemes to eliminate the disturbance to the half - selected cells in SRAMs," *IET Circuits, Devices & Systems*, vol. 12, no. 4, pp. 460-466, Apr. 2018

[18] S. Gupta, et al., "Low-power near-threshold 10T SRAM bit cells with enhanced data-independent read port leakage for array augmentation in 32-nm CMOS," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 66, no. 3, pp. 978-988, Nov. 2018.

[19] A. Teman, et al., "A 250 mV 8 kb 40 nm ultra- low power 9T supply feedback SRAM (SF-SRAM)," *IEEE J. Solid-State Circuits*, vol. 46, no. 11, pp. 2713-2726, Sep. 2011.

[20] G. Pasandi, and S.M. Fakhraie, "An 8T low- voltage and low-leakage half-selection disturb-free SRAM using bulk-CMOS and FinFETs," *IEEE Trans.electron devices*, vol. 61, no. 7 , pp. 2357-2363, May. 2014.

[21] G. Pasandi, and S.M. Fakhraie, "A 256-kb 9T near-threshold SRAM with 1k cells per bitline and enhanced write and read operations," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*., vol. 23. no. .11, pp. 2438-2446,Dec. 2014.

[22] S. Gupta, K. Gupta, and N. Pandey, "Pentavariate Vmin Analysis of a Subthreshold 10T SRAM Bit Cell With Variation Tole*rant Write and Divided Circuits Bit-Line Read," IEEE Transactions on and Systems I: Regular Papers*, vol.65, no 10, pp. .3326-3337, Mar 2018.

[23] B.H. Calhoun, and A.P. Chandrakasan, "A 256- kb 65-nm sub-threshold SRAM design for ultra-low-voltage operation," *IEEE J. solid-state circuits*, vol. 42, no. 3, pp. 680-688,Feb. 2007.

[24] E. Abbasian, "A highly stable low-energy 10T SRAM for near-threshold operation," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 69, no. 12,pp. 5195-5205, Sep. 2022.

[25] E. Abbasian, and S. Sofimowloodi, "Energy- efficient single-ended read/write 10t near-threshold sram," *IEEE Trans. Circuits Syst I: Reg. Papers*, vol. 70, no. 5, pp. 2037-2047, Feb. 2023.

[26] K. Cho, et al., "SRAM write assist circuit using cell supply voltage self-collapse with bitline charge sharing for near-threshold operation," *IEEE Trans. Circuits Syst., II: Exp Briefs*, vol. 69, no. 3,pp. 1567-1571, Aug. 2021.

[27] S. Baeck, et al, "5-nm Low-Power SRAM Featuring Dual-Rail Architecture With Voltage-Tracking Assist Circuit for 5G Mobile Application," *in IEEE Solid-State Circuits Letters*, vol. 5, pp. 50-53, Feb. 2022.

[28] K. Cho, et al., "SRAM write-and performance-assist cells for reducing interconnect resistance effects increased with technology scaling," *IEEE J. Solid-State Circuits*, vol. 57, no. 4, pp. 1039-1048, Apr. 2022.

[29] S. Ahmad, M. K. Gupta, N. Alam, and M. Hasan, “Low leakage single bitline 9 T (SB9T) static random access memory,” *Microelectron. J*., vol. 62, pp. 1–11, Apr. 2017.