

دومین کنگره مشترک سیستمهای فازی و هوشمند ایران

2nd Joint Congress on Fuzzy and Intelligent Systems

طراحی و بهینه سازی تقویت کننده های عملیاتی فقط - ماسفت با فیدبک واحد

۷ الی ۹ آبان ماه ۱۳۸۷ 28-30 October 2008

به کمک الگوریتم های ژنتیکی چند هدفی

حامد امین زاده، محمد هادی زاهدی، سید مجتبی روحانی و حبیب رجیبی مشهدی

E-mail: haminzadeh@ieee.org, zahedi@ieee.org,

M.rouhani@ieee.org and h-mashhadi@ferdowsi.um.ac.ir

چکیده - با کوچکتر شدن تکنولوژی مدارات مجتمع و افزایش قابلیت پردازش دودویی در آنها، بخش عمده ای از تراشه های سیگنال مختلط، به مدارات دیجیتال اختصاص یافته است. در حال حاضر، بحث مهمی که از نقطه نظر اقتصادی مطرح می باشد، ارائه راه حل های مناسب به منظور پیاده سازی مدارات آنالوگ در تکنولوژی های استاندارد دیجیتال است. علی رغم اینکه خازن گیت ترانزیستورهای ماسفت می تواند به منظور تحقق خازن ها در این تکنولوژی ها مورد توجه قرار گیرد، مشکل استفاده از المان مذکور، طراحی، تحلیل و بهینه سازی مدارات غیر خطی حاصل می باشد. در این مقاله بهینه سازی تقویت کننده های عملیاتی فقط - ماسفت در آرایش بافر ولتاژ، به کمک الگوریتم های ژنتیکی چند هدفی مورد بررسی قرار گرفته است. در نهایت، طراح فقط کفایت پارامترهای مختلف ورودی و محدوده مجاز هر از آنها را مشخص نموده و کار را به یک الگوریتم ژنتیکی چند هدفی، واگذار نماید. تقویت کننده حاصل از بهینه سازی، از لحاظ سطح اشغالی بسیار فشرده بوده و می تواند در مبدل های داده، فیلترها، رگولاتورهای ولتاژ، بسیار مفید واقع شود. در برنامه شبیه سازی شده بر مبنای این ایده، الگوریتم مربوطه مجموعه جوابهای بهینه را از نقطه نظر نسبت سیگنال به نویز، توان مصرفی و سطح تراشه مشخص می کند.

کلید واژه ها- الگوریتم های ژنتیکی چند هدفی، تقویت کننده های عملیاتی، طراحی و بهینه سازی، مدارات فقط- ماسفت، مدارات غیر خطی.

۱- مقدمه

می دانیم در آرایش متداول بسیاری از مدارات آنالوگ، از خازن استفاده می شود. به منظور تحقق خازن های با ضریب کیفیت بالا و محدوده خطی بزرگ در تراشه های مجتمع، به لایه های اضافی ای نیاز است که کاربردی در مدارات استاندارد دیجیتال ندارند. علاوه بر این، نیاز به استفاده از چندین ماسک و مراحل اضافی به منظور پیاده سازی این خازن ها قیمت تمام شده نهایی را به شدت افزایش می دهد [۱]. با توجه به غالب بودن تکنولوژی دیجیتال نسبت به آنالوگ و تمایل بالا به پردازش اطلاعات در این حوزه، استفاده از لایه های اضافی مختص مدارات آنالوگ در سیستم های سیگنال مختلط کار عاقلانه ای نیست. خازن گیت ترانزیستورهای ماسفت (MOSCAPs) می توانند به عنوان گزینه ای مناسب در تحقق خازن های آنالوگ مورد نیاز در تکنولوژی های استاندارد دیجیتال مورد توجه قرار گیرند. تئوراً بیشتر بین دو خازن از این نوع و

با کوچکتر شدن تکنولوژی و افزایش قابلیت مجتمع سازی ترانزیستورها در کنار هم، بلوک های پردازش سیگنال های دیجیتال به مهمترین بخش یک سیستم های الکترونیکی تبدیل شده اند. زیرا از آنجایی که با کاهش ابعاد ترانزیستورها، محاسبات دودویی در سطوح پایین تر انرژی و با سرعتی بالاتر انجام می شوند تعداد ساختارها و الگوریتم های پیچیده که می توان در حوزه دیجیتال به طور موثر پیاده سازی نمود، افزایش یافته است.

اخیراً، بحث مهمی که در سیستم های مجتمع با اهمیت شده است، ارائه راه حل های مناسب به منظور پیاده سازی مدارات آنالوگ در تکنولوژی استاندارد دیجیتال است. به دلایل اقتصادی بهتر است بخش آنالوگ و دیجیتال یک سیستم بر روی یک چیپ پیاده سازی شوند. همانطور که

کند. پس از آن الگوریتم ژنتیکی، شروع به جستجو کرده و مجموعه جوابهای بهینه (جبهه پارتو) را از نقطه نظر نسبت سیگنال به نویز خروجی، توان مصرفی و سطح تراشه معرفی می کند. در نهایت طراح با یک دسته جواب قابل قبول مواجه می شود که هر کدام از نقطه نظری بهتر هستند. پس بر حسب نیاز یکی را برای پیاده سازی نهایی انتخاب می کند.

با توجه به مطالب گفته شده، در این مقاله در ابتدا رفتار غیر خطی ترانزیستورهای بایاس شده در ناحیه تهی مشخص می شود، سپس ساختار تقویت کننده های عملیاتی سه طبقه با جریان سازی میلیری تو تو در تو (Nested-Miller Compensation) معرفی شده و خازن های آن، با ترانزیستورهای ماسفت جایگزین می شوند. در نهایت جزئیات طراحی، شبیه سازی و بهینه سازی ساختار با استفاده از الگوریتم های ژنتیکی چند هدفه مورد مطالعه قرار می گیرد.

۲- رفتار غیر خطی خازن‌ها در ناحیه تهی

استفاده از ترانزیستورهای بایاس شده در ناحیه تهی در تکنولوژی های مدرن ولتاژ پایین دیجیتال ناپذیر است [۲،۳]. تکنیک های جبران سازی آنالوگ اغلب به منظور کاهش رفتار شدید غیر خطی خازن این ترانزیستورها مورد استفاده قرار می گیرند. شکل ۱، دو روش ممکن اتصال ترانزیستورهای PMOS به یکدیگر (سری و موازی) و ساخت خازن را در تکنولوژی CMOS، n-well دیجیتال نشان می دهد. معماری خازن ها بدون هرگونه بایاس جانبی پیوند سورس- بالک (به منظور تغییر رابطه خازن با ولتاژ) رسم شده است. با مقایسه دو روش سری (SCDM) و موازی (PCDM)، علی رغم اینکه PCDM سطح کمتری اشغال می کند، میزان خطی بودن آن از SCDM کمتر است. شکل ۲ وابستگی اندازه خازن به ولتاژ را برای دو ساختار شکل ۱ نشان می دهد. در این شکل، مقاومت بزرگی (در آرایش ترانزیستوری) در ساختار SCDM بین گره Bias و زمین در نظر گرفته شده است. علاوه بر این، به منظور برابر شدن اندازه خازن ها در میدا مختصات، سطح اشغالی خازن SCDM در این شکل در حدود ۵ برابر بزرگتر لحاظ شده است.

ظرفیت واحد سطح بزرگتر آنها با توجه به لایه اکسید نازک گیت ماسفت ها از جمله مزایای این خازن‌ها به شمار می روند.

متأسفانه بزرگترین مشکلی که در استفاده خازنهای ماسفت وجود دارد، وابستگی زیاد ظرفیتشان به ولتاژ DC دو سر آنهاست. این وابستگی به دلیل نواحی مختلفی است که یک تک ترانزیستور ماسفت با تغییر ولتاژ پیوند گیت- بالک تجربه می کند [۲]. در نتیجه مشکل استفاده از خازنهای غیر خطی در اغلب مدارات آنالوگ، طراحی و بهینه سازی بسیار مشکل به دلیل غیر خطی بودن مدارات ساخته شده است. چرا که روابط موجود در طراحی مدارات آنالوگ خطی، کارایی خود را در مدارات غیر خطی از دست می دهند.

در طراحی و بهینه سازی بلوک های آنالوگ مجتمع، طراح پس از انتخاب ساختار، با توجه به روابط تئوری حاکم بر توپولوژی مربوطه، شروع به محاسبه ابعاد المانها می کند. سپس به کمک نتایج این محاسبات، شبیه سازی مدار آغاز می شود. به علت تقریبی بودن روابط تئوری و عدم مدل سازی همه عوامل خطی و غیر خطی در آنها، به احتمال زیاد نتایج شبیه سازی با جوابهای مورد انتظار متفاوت خواهند بود. در نتیجه لازم است طراح با توجه به تجربه اندکی که از طراحی های قبل و نتیجه تغییر هر یک از پارامترها دارد، اقدام به تغییر آنها کرده و شبیه سازی را تکرار نماید. اما متأسفانه این کار بسیار وقتگیر بوده و هیچ تضمینی در رسیدن به ساختار بهینه تر ندارد. چرا که پارامترهای مختلف با یکدیگر مصالحه داشته و بهبود هر یک از آنها می تواند باعث خراب شدن دیگری شود. به طور خاص، این مشکل وقتی حادتر می شود که نیاز به طراحی یک تقویت کننده مجتمع فقط- ماسفت با فیدبک منفی در یک تکنولوژی زیرمایکرون باشد. چرا که حتی روابط حاکم بر تقویت کننده های غیر خطی (با فرض وجود) نیز در چنین وضعیتی با تقریب زیاد همراه هستند.

در این پژوهش طراحی و بهینه سازی یک تقویت کننده عملیاتی سه طبقه فقط- ماسفت در آرایش فیدبک واحد به کمک الگوریتم ژنتیک چند هدفی (MOGA) انجام شده است. در این روش طراح کفایت پارامترهای مختلف ورودی مدار و محدوده مجاز تغییرات هر یک را مشخص

سیستمی یک تقویت کننده سه طبقه همراه با جبران سازی را نشان می دهد [5]. در این پروژه به منظور سازگار شدن پیاده سازی مدار با تکنولوژی استاندارد دیجیتال، از خازنهای PCDM استفاده شده است.

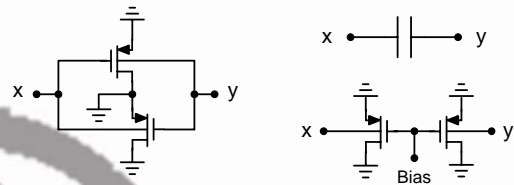
همانگونه که در شکل ۲ مشاهده می شود وابستگی خازن به ولتاژ دو سر آن در PCDM (به قیمت کاهش سطح اشغال شده) بیشتر است. پس می توان صرفه جویی زیادی با بکار گیری این خازنها (به قیمت غیر خطی تر شدن مدار) بدست آورد.

۴- طراحی تقویت کننده های فقط - ماسفت

۳- اپ امپ های سه طبقه با جبران سازی حلقه بسته با استفاده از الگوریتم های ژنتیکی چند هدفه

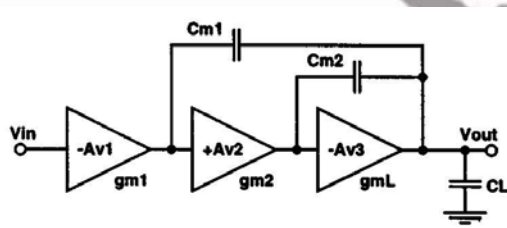
در این مقاله هدف، طراحی یک اپ امپ سه طبقه سازگار با تکنولوژی غالب دیجیتال بوسیله الگوریتم ژنتیکی چند هدفه می باشد. شکل ۴ آرایش در نظر گرفته شده برای پیاده سازی تقویت کننده شکل ۳ را نشان می دهد. طبقه اول یک مدار تمام تفاضلی با بار فعال است که سیگنال ورودی تمام تفاضلی را به تک سر تبدیل می کند. طبقه دوم یک آینه جریان با بهره مثبت است که بهره مدار را افزایش می دهد. در نهایت طبقه سوم با آرایش سورس مشترک مربوطه می بایست مقادیر مناسب W/L ترانزیستورها، ابعاد بهینه ترانزیستورهای سازنده خازنهای جبران سازی و در نهایت ولتاژهای بایاس مدار را به گونه ای تعیین کند که پارامترهای مهم تقویت کننده (توان مصرفی، سطح تراشه و کیفیت پردازش سیگنالها) بهینه شوند.

در بافرهای با دقت بالا ممکن است تقویت کننده های عملیاتی دو طبقه قابلیت رسیدن به بهره مطلوب را نداشته باشند. لذا از تقویت کننده های عملیاتی سه طبقه استفاده می شود. به منظور پایدار نگه داشتن تقویت کننده در آرایش حلقه بسته، غالبا از روش جبران سازی میلیری تو در تو استفاده می شود.

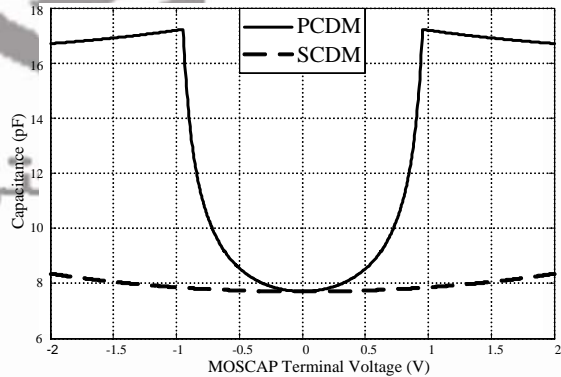


a) PCDM MOSCAP b) SCDM MOSCAP

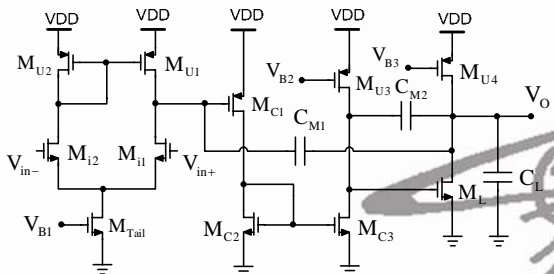
شکل ۱: شماتیک اصلاح شده مداری خازن های جبران سازی شده در ناحیه تهی به صورت سری و موازی



شکل ۳: تقویت کننده های سه طبقه با جبران سازی میلیری تو در تو



شکل ۲: رابطه SCDM و PCDM با ولتاژ دو سر آنها به ازای $W=4.2\mu m, L=8\mu m$ برای PCDM و $W=21.6\mu m, L=43.5\mu m$ برای SCDM



شکل ۴: پیاده سازی تقویت کننده سه طبقه با جبران سازی

از آنجایی که قرار است از تقویت کننده مجتمع شده، به

در این روش از دو فیدبک منفی خازنی، یکی به منظور دور نمودن قطب غالب و قطب های غیر غالب از یکدیگر (pole splitting) و دیگری به منظور کنترل ضریب میرایی یا فاکتور نشست قطبهای غیر غالب (damping factor control) بهره گرفته می شود [۴]. شکل ۳ ساختار

Chip Area	as low as possible
-----------	--------------------

۴-۱-۱ پارامترهای ورودی و محدوده مجاز هر یک از آنها

افزایش جریان طبقات (ضمن افزایش مقدار gm ترانزیستورها)، باعث افزایش Slew-Rate، پهنای باند (معادل با سیستم خطی) و کاهش نویز می شود. چرا که این پارامترها همواره با جریان و gm رابطه مستقیم دارند، پس سرعت و رنج دینامیکی مدار (در نویز مشابه) افزایش یافته و به نوعی SNDR به قیمت افزایش توان مصرفی، زیاد می شود.

در شکل ۴ به دلیل حفظ تقارن در طبقه اول، ترانزیستورهای $Mi1$ با $Mi2$ و $Mu1$ با $Mu2$ بایستی تا جای ممکن مشابه باشند. همچنین از نقطه نظر افست بهتر است در طبقه دوم، ترانزیستورهای $MC2$ با $MC3$ یکسان باشند.

پارامترهای قابل تنظیم طبقه اول عبارتند از :

- مقدار W/L ترانزیستور $Mtail$
- مقدار W/L ترانزیستورهای $Mi1$ و $Mi2$
- مقدار W/L ترانزیستورهای $Mu1$ و $Mu2$
- ولتاژ بایاس $Vb1$

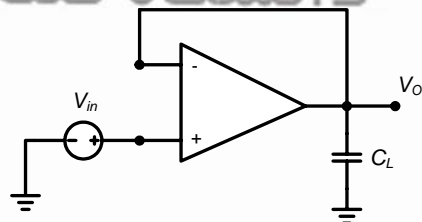
افزایش $Vb1$ و W/L ترانزیستور $Mtail$ باعث افزایش جریان طبقه اول می شود که به نوبه خود می تواند در افزایش Slew-Rate این طبقه موثر باشد. همچنین افزایش W/L ترانزیستورهای $Mi1$ و $Mi2$ ، gm این ترانزیستورها و پهنای باند مدار را زیاد می کند. علاوه بر این، افزایش L ترانزیستور $Mtail$ باعث افزایش CMRR فرکانس پایین می شود. در نتیجه باید از ابتدا مقدار بزرگتری برای L این ترانزیستور در نظر گرفته شود.

پارامترهای قابل تنظیم طبقه دوم عبارتند از :

- مقدار W/L ترانزیستور $Mc1$
- مقدار W/L ترانزیستورهای $Mc2$ و $Mc3$
- مقدار W/L ترانزیستور $Mc3$
- ولتاژ بایاس $Vb2$

منظور بافر نمودن سیگنالهای باند پایه فیلتر شده (با پهنای باند کمتر از 1MHz) به منظور تغذیه یک خازن خارج تراشه با اندازه 100pF استفاده شود (شکل 5)، حداقل نمودن اعوجاج اضافه شده از تقویت کننده به سیگنال ورودی، پارامتری مهم می باشد. لذا معیار شایستگی اصلی در طراحی، حداکثر نمودن نسبت سیگنال به نویز و اعوجاج (SNDR) خروجی در بالاترین فرکانس ممکن (1MHz) در نظر گرفته شد. در این شرایط طبعاً نسبت سیگنال به نویز در فرکانس های پایین تر بیشتر از مقدار بدست آمده در این فرکانس می باشد. با توجه به نکات گفته شده، جزئیات طراحی، در جدول ۱ آمده است.

توجه به این نکته ضروری است که بین پارامترهای بهینه خروجی غالباً مصالحه وجود دارد. به عبارت دیگر، بهبود یک پارامتر الزاماً سبب بهتر شدن پارامترهای دیگر نمی شود. مثلاً برای کمتر شدن اعوجاج و نویز (افزایش SNDR)، غالباً باید جریان طبقات افزایش یابد که این به معنی افزایش توان مصرفی می باشد. از طرف دیگر به منظور کمتر نمودن سطح اشغالی، باید L ترانزیستورها تا جای ممکن کوچک انتخاب شوند که این به نوبه خود به طور مستقیم مقاومت خروجی و به طور غیر مستقیم SNDR را کاهش می دهد. کوچک نمودن ابعاد خازن های جبران سازی به منظور کمتر نمودن سطح اشغالی نیز غالباً به کاهش SNDR می انجامد. ممکن است بتوان کاهش ابعاد را با افزایش جریانها جبران سازی نمود اما این توان مصرفی را افزایش می دهد و الی آخر.



شکل ۵. بافر برای انتقال سیگنال آنالوگ به خارج تراشه

جدول ۱: جزئیات مربوط به طراحی

Specification	Required
Technology	CMOS n-Well 0.35 μm
Supply Voltage	3.3 V
Feedback Factor	۱
Signal-to-Noise-plus-Distortion Ratio (SNDR) @ 1MHz	as much as possible
Power dissipation	as low as possible

تعداد بیت اختصاص داده شده به هر یک از ورودی ها معرف میزان دقتی است که الگوریتم طراحی می تواند آن را تنظیم نماید. این مقدار برای هر یک از پارامترها بدست آمده و در جدول ۲ نشان داده شده است. تعیین میزان بهینه این پارامتر برای هر یک از ورودی ها، تنها به تجربیات قبلی طراح بستگی دارد [۶].

۴-۲- پارامترهای خروجی

همانگونه که قبلا اشاره شد در این مساله بهینه سازی سه پارامتر مهم خروجی مد نظر بودند. مقادیر مطلوب این پارامترها در جدول ۱ نشان داده شده اند.

۵- پیاده سازی الگوریتم

الگوریتم ژنتیکی مورد نظر، در نرم افزار MATLAB پیاده سازی شد. اما اصل شبیه سازی با کمک مدل های دقیق ترانزیستوری در نرم افزار H-Spice انجام می شد. مقادیر پارامترها که بوسیله الگوریتم ژنتیک تعیین می شدند در فایل ورودی H-Spice، نوشته می شدند. سپس برنامه H-Spice توسط MATLAB فراخوانی شده و تقویت کننده مربوطه شبیه سازی می شد. در انتها فایل خروجی برنامه H-Spice باز شده و مقادیر پارامترهای خروجی خوانده می شدند. در نهایت، مقادیر پارامترهای خروجی (توان، سطح اشغالی و SNDR) برای هر عضو محاسبه و آشکار سازی می شد. اما قبل از این کار بایاس بودن همه ترانزیستورها در ناحیه اشباع، چک می شد چرا که در صورت عدم ارضاع این شرط حتما مدار بدستنی عمل نمی کند. در نتیجه نیاز به انجام محاسبات اضافی وجود ندارد (چنین نقاطی جزو نواحی ناشدنی (infeasible) محسوب می شوند). چنانچه این شرط برقرار نبود (بیشتر در شبیه سازی های ابتدایی) مقادیر پارامترهای خروجی بر حسب فاصله هر نقطه از ناحیه شدنی (feasible) (با توجه به تعداد ترانزیستورهای در ناحیه اشباع) مقداردهی می شدند [۶]. نکته دیگر حائز اهمیت در شبیه سازی تقویت کننده، چک نمودن سوینگ ولتاژ خروجی بود. چرا که ممکن است همه ترانزیستورها در ناحیه اشباع بوده و SNDR نیز به ظاهر بالا باشد اما سوینگ ولتاژ بسیار پایین باشد (چنین نقاطی باز هم جزو نواحی infeasible محسوب می شوند). در نتیجه قبل از انجام هرگونه محاسبه ای این شرط نیز به صورت یک قید در

کاهش V_{b2} و افزایش W/L ترانزیستورهای M_{c2} و M_{c3} می تواند در افزایش سرعت طبقه دوم موثر باشد. البته در انتخاب V_{b2} باید دقت شود زیرا انتخاب نابجای آن به طور غیر مستقیم باعث افزایش افت ولتاژ خروجی می شود. در نهایت مقدار W/L ترانزیستور M_{c1} در افزایش و یا کاهش پایداری ساختار تا حد زیادی موثر است.

پارامترهای قابل تنظیم طبقه سوم عبارتند از:

- مقدار W/L ترانزیستور ML
- مقدار W/L ترانزیستور M_{u4}
- ولتاژ بایاس V_{b3}
- مقدار W ترانزیستور سازنده خازن جبران سازی C_{m1} (مقدار L این ترانزیستور ثابت و برابر $100\mu m$ فرض شد)
- مقدار W ترانزیستور سازنده خازن جبران سازی C_{m2} (مقدار L این ترانزیستور ثابت و برابر $100\mu m$ فرض شد)

با تغییر مقادیر ترانزیستورهای سازنده خازنهای C_{m1} و C_{m2} ، حاشیه فاز، ضریب میرایی، پهنای باند و در نهایت میزان پایداری ساختار تنظیم می شوند. کاهش ولتاژ V_{b3} به افزایش جریان طبقه سوم و در نتیجه افزایش پهنای باند آن منجر می شود، اما سوینگ ولتاژ خروجی نیز کاهش می یابد. با افزایش W/L ترانزیستور M_{u4} ، جریان طبقه سوم افزایش می یابد اما مقدار خازن بار نیز تغییر می یابد. در نهایت مقدار W/L ترانزیستور ML در بهره، SNDR، پهنای باند و پایداری موثر است. در این پروژه طراح تنها می بایستی حدود تغییرات مجاز پارامترهای ورودی را مشخص کند و نیازی به انجام محاسبات دقیق وجود ندارد. حتی می تواند محدوده را نیز مشخص نموده و این کار را به قیمت افزایش زمان لازم برای شبیه سازی به نرم افزار بسپارد. با توجه به پارامترهای قابل تنظیم ذکر شده نتیجه می شود که کلا ۱۳ متغیر مجهول ورودی (شامل ۳ ولتاژ بایاس، ۲ خازن جبران سازی و ۸ مقدار W/L) وجود دارند که باید بهینه سازی شوند. در جدول ۲ محدوده تغییرات پارامترها و تعداد بیت اختصاص داده شده به هر یک آمده است.

دومین کنگره مشترک سیستم‌های فازی و هوشمند ایران

2nd Joint Congress on Fuzzy and Intelligent Systems

28-30 October 2008

مسئله چک شده و اگر سوینگ از مقدار آستانه ای کمتر بود پارامترهای خروجی بر حسب فاصله از ناحیه شدنی (با توجه به این پارامتر) مقدار دهی می شدند [6]. پس از چک نمودن دو قید ذکر شده در بالا، سطح تراشه برای نقاط شدنی (با توجه به ابعاد ترانزیستورها و خازنها) محاسبه می شد.

پس از تعیین این ماتریس در ابتدا نقاط بهینه از نقطه نظر پارامترهای خروجی تعیین می شدند. این نقاط سپس با اعضای جبهه پارتو مقایسه شده و در صورت بهتر بودن از نقطه نظری مشخص جای آنها را می گرفتند. همچنین به منظور دادن بهای بیشتر به این نقاط، آنها مستقیماً به نسل بعدی برده می شدند. برای ساختن بقیه اعضای نسل بعد بر روی اعضای فعلی جهش (Mutation) و Crossover انجام می شود.

تابع جهش بیت های ورودی ها را به صورت تصادفی و با یک ضریب احتمال مشخص تغییر می دهد. اما بهتر است تابع Crossover، هر عضو از مجموعه را با یک عضو تصادفی از جبهه پارتو ترکیب کند. چرا که این روش ضمن حفظ تنوع (Diversity)، کارایی خوبی نشان می دهد. اما روش های دیگری نیز به منظور پیاده سازی این تابع (ترکیب دو عضو متوالی مجموعه یا استفاده از بهترین اعضای هر نسل)، وجود دارد.

۶- نتایج شبیه سازی

کارایی الگوریتم ژنتیکی توضیح داده شده در بخش قبل در بهینه سازی ساختار شکل ۳ از نقطه نظر نویز، توان مصرفی و سطح اشغالی، در تکنولوژی CMOS $0.35\mu\text{m}$ دیجیتال به اثبات رسید. در الگوریتم نوشته شده، شبیه سازی به تعداد نسلیها تکرار شده و در انتها جبهه پارتو (به صورت مجموعه ای از جوابهای بهینه) ذخیره می شدند. به عنوان نمونه پس از گذشت ۲۰۰ نسل با تعداد جمعیت ۵۰ عضو در هر نسل، مجموعه پارتو حاصل دارای ۱۵۵ جواب مختلف می باشد که در شکلهای ۶، ۷ و ۸ دو به دو نمایش داده شده اند.

از شکل ۶ می توان فهمید که توان مصرفی بر حسب SNDR مورد نیاز در خروجی، به صورت نمایی زیاد می شود. همچنین از شکل های ۷ و ۸ این نکته استنباط می شود که رابطه افزایشی سطح مقطع با افزایش توان مصرفی و SNDR خروجی تقریباً به صورت خطی است.

تعداد بیت	حد بالا	دقت	حد پایین	پارامتر
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,i
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,u1,2
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,C1
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,C2,3
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,u3
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,L
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,u4
۱۱	۷۱۶۸	۰.۳۵	۵	W/L,tail
۶	۰.۰۱۷۷	۱.۵۷	۰.۴۷	Vb1
۶	۰.۰۲۲۷	۲.۹۷	۱.۵۷	Vb2
۵	۰.۰۲۸۷	۲.۹۷	۲.۷	Vb3
۹	۱۰ μm	۵۰۰۰ μm	۵۰ μm	W,Cm1
۹	۱۰ μm	۵۰۰۰ μm	۵۰ μm	W,Cm2

جدول ۲: مقادیر پارامترهای ورودی و محدوده تغییرات

سپس توان مصرفی محاسبه شده توسط H-Spice به طور مستقیم از فایل خروجی آن خوانده می شد. در نهایت در الگوریتم پیاده سازی شده، با اعمال یک سیگنال سینوسی با فرکانس ۱MHz به ورودی، سیگنال خروجی در MATLAB تحلیل شده و از طیف آن SNDR استفاده می شد. در الگوریتم طراحی روند بالا برای همه کروموزوم های موجود در یک نسل انجام شده و در نهایت ماتریس خروجی نسل خروجی به فرمت زیر تعیین می گردید:

$$Mat = \begin{bmatrix} Gene1 & Gene2 & Gene3 & \dots & -SNDR & Power & Area \end{bmatrix} \Bigg\} pop$$

Intelligent Systems
Scientific Society Of Iran

۱-۶- تاثیر پارامترهای مختلف در همگرایی

۲- با افزایش جمعیت موجود در هر نسل احتمال رسیدن الگوریتم به جواب‌های بهینه تر (میزان کارایی الگوریتم) افزایش می‌یابد، اما زمان لازم به منظور اجرا (موثر بودن) و تعداد دفعات رسیدن الگوریتم به جواب نیز متناسب با آن افزایش می‌یابد. علت این است که با افزایش تعداد جمعیت موجود در هر نسل، تعداد نقاط نمونه برداری شده از توابع افزایش می‌یابد، در نتیجه تعداد نقاط بیشتری در اطراف نقطه بهینه کلی وجود خواهند داشت که با گذشت از نسلها و crossover به نقطه بهینه خواهند رسید.

۴- با انجام crossover اعضا با اعضای جبهه پارتو احتمال رسیدن به جواب‌های بهتر بیشتر می‌شود.

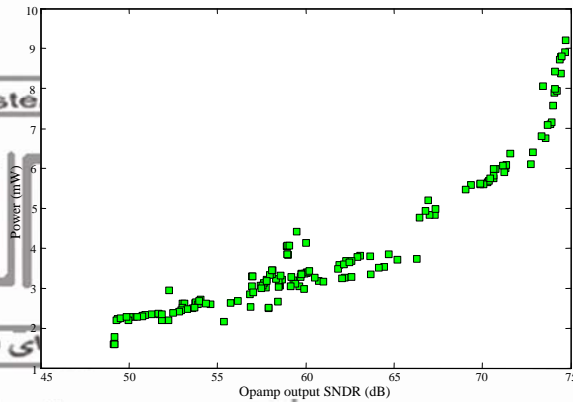
۵- با افزایش احتمال جهش تا حد معینی احتمال رسیدن به جواب‌های بهینه بیشتر می‌شود، چرا که میزان تنوع افزایش یافته و احتمال بیشتری وجود دارد که با جهش به نقاط بهینه میانی که از هر نظر خروجی قابل قبولی دارند برسیم، اما در صورتی که تنوع از حد مشخصی بیشتر شود نتایج چندان رضایت بخش نمی‌شوند، چون همگرایی کاهش می‌یابد.

۷- نتیجه گیری

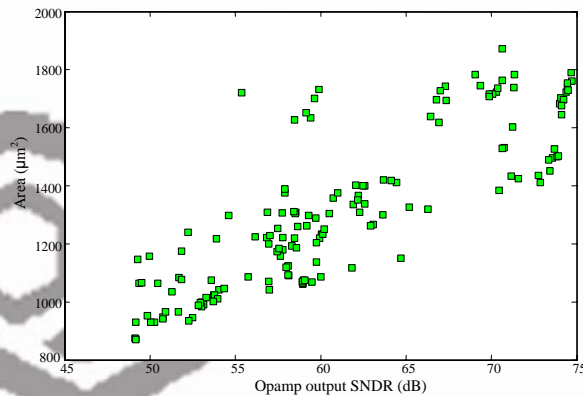
پایه سازی مدارات آنالوگی از قبیل تقویت کننده‌های عملیاتی در تکنولوژی استاندارد دیجیتال از لحاظ اقتصادی بسیار مقرون به صرفه است. به دلیل عدم نیاز مدارات دیجیتال به خازن، استفاده از خازن پیوندی ترانزیستورها در تقویت کننده‌های مجتمع شده اجباری به نظر می‌رسد. به دلیل پیچیدگی و غیر خطی شدن مدارات حاصل و عدم تبعیت آنها از روابط مدارات خطی، طراحی و بهینه سازی آنها با مشکل مواجه می‌شود. با توجه به این مساله در این مقاله از الگوریتم‌های ژنتیکی چند هدفه به منظور طراحی و بهینه سازی تقویت کننده ای از این دست استفاده شد. نتایج حاصل از شبیه سازی، این نکته را اثبات می‌رساند که الگوریتم حاصل قادر به بهینه سازی چنین مداراتی از نظر نظرهای مختلف هستند.

کارایی) و موثر بودن الگوریتم کبر یافتن

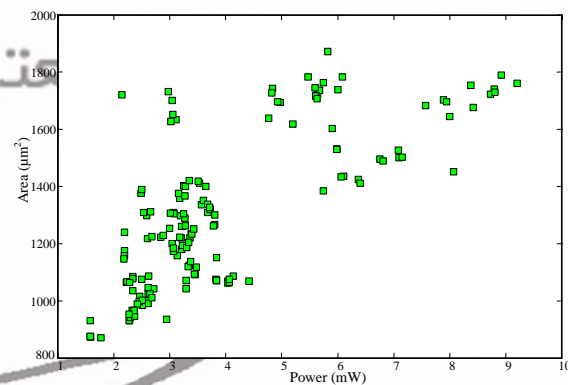
جبهه Pareto



شکل ۶: توان مصرفی بر حسب SNDR خروجی



شکل ۷: سطح مقطع بر حسب SNDR خروجی



شکل ۸: سطح مقطع بر حسب توان مصرفی

مراجع

[۱] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, ۲۰۰۱.

۱- با افزایش تعداد نسل‌ها احتمال رسیدن الگوریتم به جواب‌های بهینه تر (میزان کارایی الگوریتم) بیشتر می‌شود، اما زمان لازم به منظور اجرا (موثر بودن) نیز افزایش می‌یابد (اما نه متناسب با میزان افزایش تعداد نسل‌ها).

دومین کنگره مشترک سیستمهای فازی و هوشمند ایران

2nd Joint Congress on Fuzzy and Intelligent Systems

28-30 October 2008

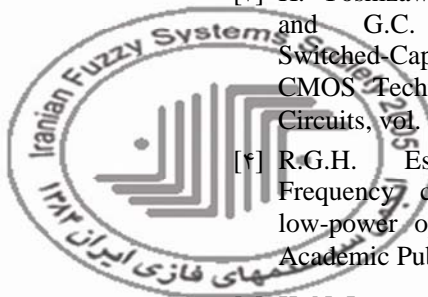
[۲] T. Tille, J. Sauerbrey, M. Mauthe, and D. S. Landsiedel, "Design of Low-Voltage MOSFET-Only Sigma-Delta Modulators in Standard Digital CMOS Technology," IEEE Trans. Circuits Systems, vol. ۵۱, no. ۱, Jan. ۲۰۰۴.

[۳] H. Yoshizawa, Y. Huang, P.F. Ferguson, and G.C. Temes, "MOSFET-Only Switched-Capacitor Circuits in digital CMOS Technology," IEEE J. Solid-State Circuits, vol. ۳۴, no. ۶, June ۱۹۹۹.

[۴] R.G.H. Eschauzier, J.H. Huijsing, Frequency compensation techniques for low-power operational amplifiers, Kluwer Academic Publishers, Boston, MA, ۱۹۹۵.

[۵] K. N. Leung and P. K. T. Mok, "Analysis of multistage amplifier-frequency compensation," IEEE Trans. Circuits Systems. I: Fund. Theory, vol. ۴۸, no. ۹, pp. ۱۰۴۱-۱۰۵۶, Sep. ۲۰۰۱.

[۶] Tom Eeckelaert, et al, "Efficient Multiobjective Synthesis of Analog Circuits using Hierarchical Pareto-optimal Performance Hypersurfaces," Proc. Design, Automation and Test in Europe Conference and Exhibition, ۲۰۰۵.



انجمن سیستمهای فازی ایران



دانشگاه صنعتی مالک اشتر



Intelligent Systems
Scientific Society Of Iran